

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-134008

(43)Date of publication of application : 22.05.1998

(51)Int.Cl. G06F 15/16  
G06F 15/78

(21)Application number : 08-292642 (71)Applicant : MITSUBISHI ELECTRIC CORP

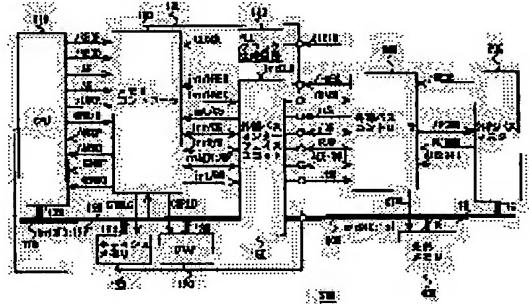
(22)Date of filing : 05.11.1996 (72)Inventor : SATO MITSUGI  
IWATA SHUNICHI

## (54) SEMICONDUCTOR DEVICE AND COMPUTER SYSTEM

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To gain a series of access to the internal memory of a CPU indivisibly without being affected by external access by placing a response signal in a state showing that external access to the memory is excluded for a period wherein the CPU gains interlock access.

**SOLUTION:** The processor 100 is equipped with a CPU 110, an internal RAM 120, and a memory controller 160 which controls the interlock access to the internal DRAM 120 by the CPU 110, and the CPU 110 is enabled to gain interlock access. For the purpose, the CPU 110 gains the access indivisibly without being involved in external access to the internal DRAM 120. Therefore, the problem of an access conflict resulting from the one-chip constitution of the internal DRAM 120 and CPU 110 and the internal DRAM 120 can be used as a common memory for the outside. Consequently, interference by external access can be eliminated.



## LEGAL STATUS

[Date of request for examination] 26.05.2003

[Date of sending the examiner's decision of rejection] 29.03.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-134008

(43)公開日 平成10年(1998)5月22日

(51)Int.Cl.<sup>6</sup>

G 06 F 15/16  
15/78

識別記号

3 5 0  
5 1 0

F I

G 06 F 15/16  
15/78

3 5 0 F  
5 1 0 G

審査請求 未請求 請求項の数 6 O.L (全 21 頁)

(21)出願番号 特願平8-292642

(22)出願日 平成8年(1996)11月5日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 佐藤 貢

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 岩田 俊一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

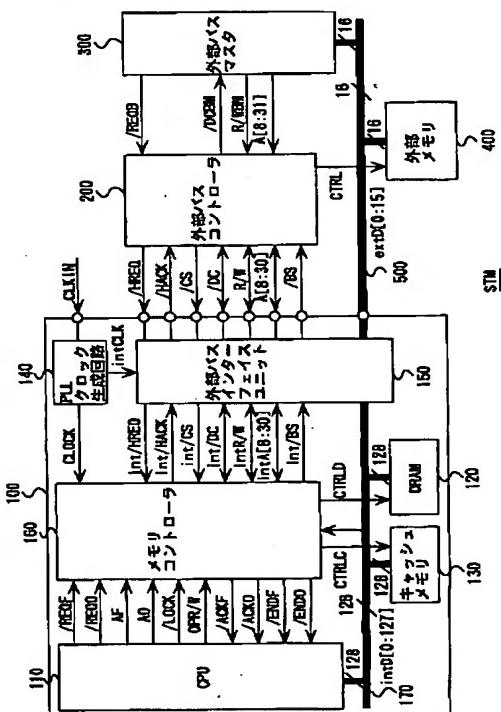
(74)代理人 弁理士 宮田 金雄 (外3名)

(54)【発明の名称】 半導体装置およびコンピュータシステム

(57)【要約】

【課題】 CPUとメモリを同一チップに形成した半導体装置では、CPUが内蔵メモリにインターロックアクセスする機能がないため、CPUによる内蔵メモリへのリードモディファイライトが不可分におこなえなかった。

【解決手段】 CPU110、内蔵DRAM120、およびCPU110が内蔵DRAM120へインターロックアクセスできるよう制御するメモリコントローラ160を備える。



(2)

2

## 【特許請求の範囲】

【請求項 1】 データを記憶するメモリ、前記メモリにインターロックアクセスするCPU、および前記メモリに外部からアクセスするための要求信号を受け、前記要求信号に応答する応答信号を出し、前記CPUが前記インターロックアクセスする期間は前記応答信号を外部から前記メモリへのアクセスが排除されていること示す状態にする制御回路を1チップ内に備える半導体装置。

【請求項 2】 CPUはインターロックアクセス命令を受けてインターロックアクセスを開始し、インターロックアクセス終了命令を受けてインターロックアクセスを終了する請求項1記載の半導体装置。

【請求項 3】 CPUは、メモリを非インターロックアクセスし、

要求信号は、バス権を要求するためのホールドリクエスト信号を含み、

応答信号は、前記バス権を解放したことを通知するためのホールドアクノレッジ信号を含み、

制御回路は、前記CPUにおける前記非インターロックアクセス時は前記ホールドリクエスト信号がバス権を要求したことを示すレベルになったのに応答して前記ホールドアクノレッジ信号をバス権を解放したことを示す応答レベルにし、前記CPUにおけるインターロックアクセス期間は前記ホールドアクノレッジ信号を前記応答レベルと異なるレベルにすることで前記応答信号を外部から前記メモリへのアクセスが排除されていることを示す状態にする請求項1記載の半導体装置。

【請求項 4】 CPUは、メモリを非インターロックアクセスし、

要求信号は、外部から前記メモリへのアクセスを要求するためのチップセレクト信号を含み、

応答信号は、外部から前記メモリへのアクセスが完了したことを通知するためのデータコンプリート信号を含み、

制御回路は、前記CPUにおける前記非インターロックアクセス時は前記チップセレクト信号が外部から前記メモリへのアクセスを要求したことを示すレベルになったのに応答して前記データコンプリート信号を外部から前記メモリへのアクセスが完了したことを示す応答レベルにし、前記CPUにおけるインターロックアクセス期間は前記データコンプリート信号を前記応答レベルと異なるレベルにすることで前記応答信号を外部から前記メモリへのアクセスが排除されていることを示す状態にする請求項1記載の半導体装置。

【請求項 5】 CPUは、メモリを非インターロックアクセスし、

要求信号は、バス権を要求するためのホールドリクエスト信号および外部から前記メモリへのアクセスを要求するためのチップセレクト信号を含み、

応答信号は、前記バス権を解放したことを通知するためのホールドアクノレッジ信号および外部から前記メモリへのアクセスが完了したことを通知するためのデータコンプリート信号を含み、

制御回路は切り替え可能な第1のロックモードおよび第2のロックモードを有し、前記第1のロックモードでは前記CPUにおける前記非インターロックアクセス時は前記ホールドリクエスト信号がバス権を要求したことを示すレベルになったのに応答して前記ホールドアクノレッジ信号をバス権を解放したことを示す第1の応答レベルにし、前記CPUにおけるインターロックアクセス期間は前記ホールドアクノレッジ信号を前記第1の応答レベルと異なるレベルにすることで前記応答信号を外部から前記メモリへのアクセスが排除されていることを示す状態にし、前記第2のロックモードでは前記CPUにおける前記非インターロックアクセス時は前記チップセレクト信号が外部から前記メモリへのアクセスを要求したことを示すレベルになったのに応答して前記データコンプリート信号を外部から前記メモリへのアクセスが完了したことを示す第2の応答レベルにし、前記CPUにおけるインターロックアクセス期間は前記データコンプリート信号を前記第2の応答レベルと異なるレベルにすることで前記応答信号を外部から前記メモリへのアクセスが排除されていることを示す状態にする請求項1記載の半導体装置。

【請求項 6】 CPUおよびメモリを1チップ内に含み前記CPUは前記メモリにインターロックアクセスする半導体装置、

前記メモリにアクセスする外部バスマスター、および前記CPUがインターロックアクセスする期間は前記外部バスマスターによる前記メモリへのアクセスを禁止する外部バスコントローラを備えるコンピュータシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は半導体装置およびコンピュータシステムに係り、特にCPU(Central Processing Unit)とメモリを同一チップ内に備えるメモリ内蔵半導体装置およびメモリ内蔵半導体装置を使用したコンピュータシステムに関するものである。

## 【0002】

【従来の技術】パーソナルコンピュータやワークステーションなどのシステムは、データの演算処理をおこなうCPU(Central Processing Unit)を含むマイクロプロセッサ、およびデータを記憶するメモリを有している。マイクロプロセッサおよびメモリは互いに別々のチップとしてボード上に実装されており、両者はボード上にプリントされた外部のデータバスを介してデータのやりとりをおこなっている。

## 【0003】

【発明が解決しようとする課題】システムの中には複数

(3)

3

のマイクロプロセッサを備えるマルチプロセッサシステムがある。このマルチプロセッサシステムではメモリを複数のマイクロプロセッサで共有する。マルチプロセッサシステムでは各マイクロプロセッサで並列に実行されるプロセスの順序付けが問題になる。つまり、複数のマイクロプロセッサで共有するメモリなどの共有資源を複数のマイクロプロセッサが同時にアクセスするような、アクセス競合の問題がある。

【0004】従来のマルチプロセッサシステムではアクセス競合の問題をセマフォを利用して解決している。このセマフォの値は共有資源を利用可能であるといった状態を示す。共有資源をアクセスしようとするマイクロプロセッサは、まずセマフォの値を読んで(read)共有資源がアクセス可能であることを判断すると、セマフォの値を新しい値に書き換えて(modify-write)この共有資源のアクセス権を獲得する。この一連のセマフォへのread-modify-write アクセスは不可分におこなわれなくてはならない。なぜならばreadとwriteが切り離されるとreadとwriteの間に他のマイクロプロセッサがまだ書き換えの終わっていないセマフォの値を読んで共有資源がアクセス可能と判断してしまい、結果として2つのマイクロプロセッサ間で共有資源へのアクセスが衝突してしまうからである。

【0005】以上に説明した手順を経て共有資源へのアクセス権を獲得したマイクロプロセッサは共有資源に対してアクセスを開始する。一方、セマフォの値を読んだ結果共有資源へのアクセス権を得られなかったマイクロプロセッサは待機状態にはいる。このセマフォの値は従来のマルチプロセッサシステムではマイクロプロセッサとは別チップのメモリに記憶されている。従来のマイクロプロセッサは他のマイクロプロセッサによるセマフォへのアクセスを禁止してみずからがセマフォにアクセスするインターロックメモリアクセスを実行するための専用命令や外部端子を備えており、この命令の実行中（例えばセマフォへのread-modify-write アクセスをしている間）は外部端子をアサートして一連のメモリアクセスが不可分におこなわれるよう外部のバスコントローラに対して要求する。バスコントローラはこの要求を受けて他のマイクロプロセッサのセマフォへのアクセスを禁止する。

【0006】この発明はCPU およびメモリを同一チップ内に備えるメモリ内蔵半導体装置に含まれるメモリへのチップ外部からのアクセスとメモリ内蔵半導体装置に含まれるCPU からのアクセスとの競合の問題が改善されたメモリ内蔵半導体装置を得ることを目的としている。また、CPU およびメモリを同一チップ内に備えるメモリ内蔵半導体装置におけるCPU の内蔵メモリへの一連のメモリアクセスが、外部からのアクセスに影響されずに不可分に行われるメモリ内蔵半導体装置を得ることを目的としている。

4

## 【0007】

【課題を解決するための手段】この発明に係る半導体記憶装置は、データを記憶するメモリ、メモリにインターロックアクセスするCPU 、およびメモリに外部からアクセスするための要求信号を受け、要求信号に応答する応答信号を出力し、CPU がインターロックアクセスする期間は応答信号を外部からメモリへのアクセスが排除されていること示す状態にする制御回路を1チップ内に備えるものである。

【0008】また、CPU はインターロックアクセス命令を受けてインターロックアクセスを開始し、インターロックアクセス終了命令を受けてインターロックアクセスを終了するものである。

【0009】また、CPU はメモリを非インターロックアクセスし、要求信号はバス権を要求するためのホールドリクエスト信号を含み、応答信号はバス権を解放したことを通知するためのホールドアクノレッジ信号を含み、制御回路はCPU における非インターロックアクセス時はホールドリクエスト信号がバス権を要求したこと示すレベルになったのに応答してホールドアクノレッジ信号をバス権を解放したことを示す応答レベルにし、CPU におけるインターロックアクセス期間はホールドアクノレッジ信号を応答レベルと異なるレベルにすることで応答信号を外部からメモリへのアクセスが排除されていることを示す状態にするものである。

【0010】また、CPU はメモリを非インターロックアクセスし、要求信号は外部からメモリへのアクセスを要求するためのチップセレクト信号を含み、応答信号は外部からメモリへのアクセスが完了したことを通知するためのデータコンプリート信号を含み、制御回路はCPU における非インターロックアクセス時はチップセレクト信号が外部からメモリへのアクセスを要求したこと示すレベルになったのに応答してデータコンプリート信号を外部からメモリへのアクセスが完了したことを示す応答レベルにし、CPU におけるインターロックアクセス期間はデータコンプリート信号を応答レベルと異なるレベルにすることで応答信号を外部からメモリへのアクセスが排除されていることを示す状態にするものである。

【0011】また、CPU はメモリを非インターロックアクセスし、要求信号はバス権を要求するためのホールドリクエスト信号および外部からメモリへのアクセスを要求するためのチップセレクト信号を含み、応答信号はバス権を解放したことを通知するためのホールドアクノレッジ信号および外部からメモリへのアクセスが完了したことを通知するためのデータコンプリート信号を含み、制御回路は、切り替え可能な第1のロックモードおよび第2のロックモードを有し、第1のロックモードではCPU における非インターロックアクセス時はホールドリクエスト信号がバス権を要求したこと示すレベルになったのに応答してホールドアクノレッジ信号をバス権を解

(4)

5

放したことを示す第1の応答レベルにし、CPUにおけるインターロックアクセス期間はホールドアクノレッジ信号を第1の応答レベルと異なるレベルにすることで応答信号を外部からメモリへのアクセスが排除されていることを示す状態にし、第2のロックモードではCPUにおける非インターロックアクセス時はチップセレクト信号が外部からメモリへのアクセスを要求したことを示すレベルになったのに応答してデータコンプリート信号を外部からメモリへのアクセスが完了したことを示す第2の応答レベルにし、CPUにおけるインターロックアクセス期間はデータコンプリート信号を第2の応答レベルと異なるレベルにすることで応答信号を外部からメモリへのアクセスが排除されていることを示す状態にするものである。

【0012】また、この発明に係るコンピュータシステムは、CPUおよびメモリを1チップ内に含みCPUはメモリにインターロックアクセスする半導体装置、メモリにアクセスする外部バスマスター、およびCPUがインターロックアクセスする期間は外部バスマスターによるメモリへのアクセスを禁止する外部バスコントローラを備えるものである。

【0013】

#### 【発明の実施の形態】

実施の形態1. 以下、この発明の実施の形態であるDRAM (Dynamic Random Access Memory) 内蔵の32ビットRISC (Reduced Instruction Set Computer) 型マイクロプロセッサについて図1から図14に基づき説明する。まず図1を参照して、コンピュータシステムSTMはワンボード上に配置された1チップマイクロプロセッサ100、外部バスコントローラ200、外部バスマスター300および外部メモリ400を備える。マイクロプロセッサ100、外部バスマスター300および外部メモリ400はボード上に形成された16ビット幅の外部データバス500に接続されており、この外部データバス500を介してデータの授受を行っている。

【0014】マイクロプロセッサ100はDRAMを内蔵しており、外部から入力されるクロック信号CLKINを受け、このクロック信号CLKINに同期して動作する。また、マイクロプロセッサ100は外部バスコントローラ200からのホールドリクエスト信号/HREQを受け、このホールドリクエスト信号/HREQがマイクロプロセッサ100のホールド状態への遷移の要求を示すLレベルになると、ホールド状態に遷移したことを示すLレベルとなるホールドアクノレッジ信号/HACKを出力する。

【0015】つまり、ホールドアクノレッジ信号/HACKが、マイクロプロセッサ100がホールド状態でないことを示すHレベルのときは外部データバス500を使用することのできるバス権はマイクロプロセッサ100にある。外部バスコントローラ200は例えば外部バスマスターが外部データバス500を介して外部メモリ400からデータを

(4)

6

リードするような外部データバス500のバス権が必要な場合は、外部データバス500のバス権を要求するためのホールドリクエスト信号/HREQをLレベルにして、マイクロプロセッサ100に対してバス権を要求する。マイクロプロセッサ100は外部データバス500のバス権を与えてよいと判断すると、みずからがホールド状態へ遷移し、外部データバス500のバス権を解放したことを通知するためのホールドアクノレッジ信号/HACKをLレベルにしてバス権を解放する。このように外部バスコントローラ200は外部データバス500上でマイクロプロセッサ100、外部バスマスター300および外部メモリ400からのデータが衝突しないように外部バスをコントロールしている。

【0016】さらに、マイクロプロセッサ100は外部バスコントローラ200からマイクロプロセッサ100に内蔵されたDRAMへのアクセスを要求するためのチップセレクト信号/CS、このアクセスがリードなのかライトなのか示すためのリード／ライト信号R/Wおよびアクセスされる内蔵DRAM領域内のアドレスを指定するための23ビットのアドレス信号A[8:30]を受ける。マイクロプロセッサ100はチップセレクト信号/CSがアクセスを要求することを示すLレベルになったのに応答してリード／ライト信号R/Wがリードを指示するHレベルのときは内蔵DRAM領域内のアドレス信号A[8:30]で指定されたアドレスに格納されたデータを外部データextD[0:15]として外部データバス500に出力し、リード／ライト信号R/Wがライトを指示するLレベルのときは内蔵DRAM領域内のアドレス信号A[8:30]で指定されたアドレスに外部データextD[0:15]に応じたデータをライトする。

【0017】さらにもた、マイクロプロセッサ100は外部バスマスター300から内蔵DRAM領域へのアクセスがあるときは内蔵DRAM領域へのアクセス（内部バスサイクル）が完了したことを通知するためのデータコンプリート信号/DCを出力する。マイクロプロセッサ100はチップセレクト信号/CSがLレベルにされるとデータコンプリート信号/DCを出力し、内蔵DRAM領域へのアクセスが未完了であることを示すHレベルにする。その後、マイクロプロセッサ100は内蔵DRAM領域へのアクセスが完了するとデータコンプリート信号/DCをアクセスが完了したことを示すLレベルに変化させる。そして、マイクロプロセッサ100はチップセレクト信号/CSがもとのHレベルにもどるとデータコンプリート信号/DCの出力を終了する。また、マイクロプロセッサ100はホールドリクエスト信号/HREQがもとのHレベルにもどるとホールドアクノレッジ信号/HACKをHレベルにする。

【0018】また、マイクロプロセッサ100は外部データバス500に対してバスサイクルを起動するためのバススタート信号/BSを外部バスコントローラ200に出力している。マイクロプロセッサ100は、外部メモリ400にアクセスするときはバススタート信号/BSを外部データ

(5)

7

バス500 に対してバスサイクルを起動したことを示すLレベルにする。それとともに、マイクロプロセッサ100 はリード／ライト信号R/W およびアドレス信号A[8:30] を外部バスコントローラ200 に与え、リード／ライト信号R/W がHレベルのときは外部データバス500 を介して外部メモリ400から外部データextD[0:15]としてデータをリードし、リード／ライト信号R/WがLレベルのときは外部データバス500 に外部データextD[0:15]としてデータを出力して外部メモリ400 にこのデータをライトする。その後、外部バスコントローラ200 がデータコンプリート信号/DC を外部メモリ400 へのアクセス（外部バスサイクル）が完了したことを示すLレベルに変化させると、マイクロプロセッサ100 はバススタート信号/BS をHレベルにする。また、データコンプリート信号/DC がLレベルになったのに応じて、マイクロプロセッサ100 はリードデータをラッチし、またはライトデータの保持を終了する。

【0019】外部バスコントローラ200 は外部バスマスター300 から外部データバス500 のバス権の要求を通知するためのバス権リクエスト信号/REQB を受ける。外部バスコントローラ200 はこのバス権リクエスト信号/REQB がバス権が要求されたことを示すLレベルになるとホールドリクエスト信号/HREQ をLレベルにするとともにHレベルにしていたデータコンプリート信号/DC の出力を中断する。この時点ではマイクロプロセッサ100 もデータコンプリート信号/DC を出力していないので、このデータコンプリート信号/DC はハイインピーダンス状態となる。外部バスコントローラ200 はバス権リクエスト信号/REQB がHレベルとなるとホールドリクエスト信号/HREQ をHレベルにする。

【0020】また、外部バスコントローラ200 は外部バスマスター300 からデータのリードまたはライトを示すためのバスマスター用リード／ライト信号R/WBM および24ビットのアドレス信号A[8:31] を受け、マイクロプロセッサ100 内のDRAM領域にアクセスするための制御信号/CS, R/W, A[8:30] および外部メモリ400 にアクセスするための制御信号CTRLを出力する。外部バスコントローラ200 はホールドリクエスト信号/HREQ に応答してホールドアクノレッジ信号/HACK がLレベルになるとバスマスター用リード／ライト信号R/WBM およびアドレス信号A[8:31] に応答して制御信号/CS, R/W, A[8:30] または制御信号CTRLを変化させる。

【0021】もっと詳細に説明すると、外部バスコントローラ200 は外部バスマスター300 からの24ビットのアドレス信号A[8:31] のうち4 ビットA[8:11] が0000ならばマイクロプロセッサ100 における内蔵DRAM領域へのアクセスであると判断する。そして外部バスコントローラ200 はチップセレクト信号/CS をLレベルとするとともに、アドレス信号A[8:31] のうちの23ビットA[8:30] をマイクロプロセッサ100に与え、バスマスター用リード／

(5)

8

ライト信号R/WBM がHレベルならばリードと判断してリード／ライト信号R/W をHレベルにし、バスマスター用リード／ライト信号R/WBM がLレベルならばライトと判断してリード／ライト信号R/W をLレベルにする。また、24ビットのアドレス信号A[8:31] のうちの4 ビットA[8:11] の中で少なくとも1 ビットが1 ならば外部メモリ400 へのアクセスであると判断する。そして外部バスコントローラ200 は制御信号CTRLをアドレス信号A[8:31] およびバスマスター用リード／ライト信号R/WBM に応じて変化させる。ここで制御信号CTRLは外部メモリ400 を制御するための複数の信号を総称して表わしている。

【0022】さらにまた、外部バスコントローラ200 はマイクロプロセッサ100 の内蔵DRAM領域または外部メモリ400 へのアクセスが終了したことを通知するためのバスマスター用データコンプリート信号/DCBM を外部バスマスター300 へ出力する。外部バスコントローラ200 は外部バスマスター300 がマイクロプロセッサ100 の内蔵DRAM領域にアクセスしたときは、マイクロプロセッサ100 によりデータコンプリート信号/DC がLレベルにされるとバスマスター用データコンプリート信号/DCBM をアクセスが終了したことを示すLレベルにする。また、外部バスコントローラ200 は外部バスマスター300 が外部メモリ400 にアクセスしたときは、あらかじめ決まっている外部メモリ400 のリードまたはライトサイクルタイムが経過するのを見計らってバスマスター用データコンプリート信号/DCBM をLレベルにする。

【0023】また、外部バスコントローラ200 はチップセレクト信号/CS をLレベルにしているとき、外部バスマスター300 からのバス権リクエスト信号/REQB がHレベルにされるとホールドリクエスト信号/HREQ をHレベルに変化させる前かまたは同時にチップセレクト信号/CS をHレベルにするとともにリード／ライト信号R/W およびアドレス信号A[8:30] の出力を終了する。

【0024】さらに、外部バスコントローラ200 はバススタート信号/BS がLレベルになるとマイクロプロセッサ100 から外部メモリ400 へのアクセスであると判断する。そして、外部バスコントローラ200 はマイクロプロセッサ100 からのリード／ライト信号R/W およびアドレス信号A[8:30] に応じて制御信号CTRLを変化させる。その後、外部バスコントローラ200 はあらかじめ決まっている外部メモリ400 のリードまたはライトサイクルタイムが経過するのを見計らってデータコンプリート信号/DC をLレベルにするとともに、制御信号CTRLの保持を終了する。

【0025】外部バスマスター300 は外部データバス500 に対するバス権を要求する。例えばマイクロプロセッサ100 と同じ構成のマイクロプロセッサまたは構成の異なる別の種類のマイクロプロセッサなどはこの外部バスマスター300 に含まれる。外部バスマスター300 はマイクロプロセッサ100 の内蔵DRAM領域または外部メモリ400 にア

(6)

9

クセスするときにバス権リクエスト信号/REQB をL レベルにするとともに、バスマスター用リードライト信号R/WB M およびアドレス信号A[8:31] をアクセスに応じたレベルに変化させる。また、外部バスマスター300 はバスマスター用データコンプリート信号/DCBM がL レベルになるとリードサイクル時は外部データextD[0:15] をラッチし、ライトサイクル時は外部データextD[0:15] の保持を終了する。

【0026】外部メモリ400 は16MByte (128Mbit) の容量を有しており、例えば×8 品の64MbitDRAMを2 個を含む。外部メモリ400 は外部バスコントローラ200 から制御信号CTRLを受け、この制御信号CTRLに応答して外部データバス500 を介して与えられた外部データextD[0:15] を記憶したり、記憶されたデータを外部データバス500 に外部データextD[0:15] として出力する。

【0027】次にマイクロプロセッサ100 の構成について説明する。図1を参照して、マイクロプロセッサ100 はデータの演算をおこなうCPU 110 、データを記憶する1MByte (8Mbit) の内蔵DRAM120 、および内蔵DRAM120 に記憶されたデータの一部を記憶する4KByte (32Kbit) のキャッシュメモリ130 を1チップ内に備える。また、マイクロプロセッサ100 は外部から入力されるクロック信号CLKIN を受けて、クロック信号CLKIN の4 倍の周波数のクロック信号CLOCK およびクロック信号CLKINに同期した内部クロック信号intCLKを発生するPLL (Phase Locked Loop) クロック生成回路140 を備える。さらに、マイクロプロセッサ100 はチップ外部と内部回路との間で信号を取り取りするための外部バスインターフェイスユニット150を備える。さらによく、マイクロプロセッサ100 はクロック信号CLOCK に同期して動作し、CPU 110 および外部バスインターフェイスユニット150 から種々の信号を受け、この信号に応答してDRAM120 およびキャッシュメモリ130 を制御するためのメモリコントローラ160 を備える。また、マイクロプロセッサ110 は128 ビット幅の内部データバス170 を備え、CPU 110 、DRAM120 、キャッシュメモリ130 、および外部バスインターフェイスユニット150 はこの内部データバス170 を介してデータの取り取りを行っている。

【0028】CPU 110 はメモリコントローラ160 に対して命令コードをCPU 110 にフェッチする要求を通知するための命令フェッチアクセスリクエスト信号/REQF 、命令の実行対象データであるオペランドをリードまたはライトする要求を通知するためのオペランドアクセスリクエスト信号/REQ0 、命令フェッチアクセスするメモリのアドレスを指定するための命令フェッチアクセスアドレス信号AF 、オペランドアクセスするメモリのアドレスを指定するためのオペランドアクセスアドレス信号A0 、およびCPU 110 が要求する内蔵DRAM領域へのアクセスがインターロックアクセスか否かを通知するためのロック信号/LOCK を出力する。キャッシュメモリ130 にはDRAM12

10

0 の一部のデータをコピーして記憶しているので、内蔵DRAM領域へのアクセスとはDRAM120 またはキャッシュメモリ130 へのアクセスを意味する。また、CPU 110 はオペランドアクセスがリードかライトかを示すためのオペランドリード／ライト信号OPR/W を出力する。

【0029】また、CPU 110 は命令フェッチアクセスに応じたことを示すための命令フェッチアクセスアクノレッジ信号/ACKF 、オペランドアクセスに応じたことを示すためのオペランドアクセスアクノレッジ信号/ACK0 、命令フェッチアクセスが完了したことを通知するための命令フェッチアクセス完了信号/ENDF 、およびオペランドアクセスが完了したことを通知するためのオペランドアクセス完了信号/END0 をメモリコントローラ160 から受ける。

【0030】そして、CPU 110 は命令フェッチアクセスのときは命令フェッチアクセスリクエスト信号/REQF を命令フェッチアクセスを要求したことを示すL レベルにするとともに、命令フェッチアクセスアドレス信号AF をアクセスしようとするアドレスに応じて変化させる。この命令フェッチアクセスリクエスト信号/REQF に応答して命令フェッチアクセスアクノレッジ信号/ACKF がL レベルに変化した後、命令フェッチアクセス完了信号/END F が命令フェッチアクセスの完了を示すL レベルに変化すると、CPU 110 は内部データバス170 上の128 ビットの内部データintD[0:127] をラッチする。

【0031】また、CPU 110 はオペランドアクセスのときはオペランドアクセスリクエスト信号/REQ0 をオペランドアクセスを要求したことを示すL レベルにする。それとともにCPU 110 はオペランドリード／ライト信号OP R/W をオペランドリードの場合はH レベルに、オペランドライトの場合はL レベルにし、内部アドレス信号intA をアクセスしようとするアドレスに応じて変化させる。

また、オペランドリードがインターロックアクセスの場合は併せてロック信号/LOCK をインターロックアクセスであることを示すL レベルにする。その後、オペランドアクセスアクノレッジ信号/ACK0 がL レベルに変化すると、オペランドライトの場合はオペランドを内部データバス170 に内部データintD[0:127] のうちの32ビットのデータとして出力する。また、オペランドライトがイン

ターロックアクセスの場合はインターロックアクセス期間を終わらせるためにロック信号/LOCK をH レベルにする。その後、オペランドアクセス完了信号/END0 がオペランドアクセスの完了を示すL レベルに変化すると、オペランドリードの場合、CPU 110 は内部データバス170 上の128 ビットの内部データintD[0:127] をラッチし、オペランドライトの場合、CPU 110 は内部データバス170 へ出力していたオペランドの保持を終了する。

【0032】DRAM120 はメモリコントローラ160 から制御信号CTRLD を受け、この制御信号CTRLD に応答して内部データバス170 を介して与えられた内部データintD

50

(7)

11

[0:127] を記憶したり、記憶されたデータを内部データバス170 に内部データintD[0:127] として出力する。ここで制御信号CTRLD はDRAM120 をリードおよびライト動作させるための種々の信号を総称している。

【0033】キャッシュメモリ130 はSRAM(Static Random Access Memory) で構成される。キャッシュメモリ130 はメモリコントローラ160 から制御信号CTRLC を受け、この制御信号CTRLC に応答して内部データバス170 を介して与えられた内部データintD[0:127] を記憶したり、記憶されたデータを内部データバス170 に内部データintD[0:127] として出力する。ここで制御信号CTRLC はキャッシュメモリ130をリードおよびライト動作させるための種々の信号を総称している。また、キャッシュメモリ130 は内蔵DRAM120 に記憶されたデータの一部または外部メモリ400 に記憶されたデータの一部をコピーして記憶することができる。つまり、内蔵DRAM120 のキャッシュか外部メモリ400 のキャッシュか切り替え可能になっているが、ここでは内蔵DRAM120 のキャッシュとして説明をおこなう。

【0034】PLL クロック生成回路140 は倍倍回路を含み、例えば外部から入力されるクロック信号CLKIN の周波数が16.65MHz のときは66.6MHz のクロック信号CLOCK を出力する。内部クロック信号intCLK は入力されたクロック信号CLKIN と同位相の信号で、周波数はクロック信号CLKIN と同じである。

【0035】外部バスインターフェイスユニット150 は外部からホールドリクエスト信号/HREQ 、チップセレクト信号/CS 、データコンプリート信号/DC 、リードライト信号R/W 、およびアドレス信号A[8:30] を受け、これらの信号のそれに応じた内部ホールドリクエスト信号int/HREQ 、内部チップセレクト信号int/CS 、内部データコンプリート信号int/DC 、内部リードライト信号intR/W 、および内部アドレス信号intA[8:30] を出力する。また、外部バスインターフェイスユニット150 は内部ホールドアクノレッジ信号int/HACK 、内部データコンプリート信号int/DC 、内部リード/ライト信号intR/W 、および内部バススタート信号int/BS を受け、これらの信号のそれに応じたホールドアクノレッジ信号/HACK 、データコンプリート信号/DC 、リード/ライト信号R/W 、およびバススタート信号/BS を外部に出力する。

【0036】また、外部バスインターフェイスユニット150 は外部データバス500 と内部データバス170 との間でのデータ転送をする。内部データバス170 から外部データバス500 にデータを転送するとき、外部バスインターフェイスユニット150 はまず内部データバス170 上の128 ビットのパラレルな内部データintD[0:127] をいったん保持して16ビットずつ順に外部データバス500 に外部データextD[0:15] としてシリアルに出力する。逆に外部データバス500 から内部データバス170 にデータを転送するとき、外部インターフェイスユニット150 はまず

12

外部データバス500 上の外部データextD[0:15] を16ビットずつ順にシリアルに取り込んで保持し、内部データバス170 にパラレルに出力する。パラレル出力のしかたは128 ビットまで取り込んでパラレルに128 ビット出力する場合もあれば32ビットで取り込みをやめてパラレルに32ビット出力する場合や同様に64ビット出力、96ビット出力の場合もある。

【0037】メモリコントローラ160 はCPU 110 から命令フェッチアクセスアドレス信号AF、オペランドアクセスアドレス信号A0、命令フェッチアクセスリクエスト信号/REQF 、オペランドアクセスリクエスト信号/REQ0 、ロック信号/LOCK およびオペランドリード/ライト信号OPR/W 、外部バスインターフェイスユニット150 から内部ホールドリクエスト信号int/HREQ および内部データコンプリート信号int/DC を受ける。内部ホールドリクエスト信号int/HREQ および内部チップセレクト信号int/CS は外部から内蔵DRAM領域へアクセスするために必要な信号である。メモリコントローラ160 は命令フェッチアクセスリクエスト、オペランドアクセスリクエスト、ホールドリクエスト、およびチップセレクト（内蔵DRAM領域へのアクセスリクエスト）の4つの要求のアビトリーションをおこなう。

【0038】メモリコントローラ160 はインターロックアクセス期間中と非インターロックアクセス期間中でこのアビトリレーションの仕方を変える。また、インターロックアクセスには内部ホールドリクエスト信号/HREQ と排他的に行われるホールド排他ロックモードおよび内部チップセレクト信号/CS と排他的に行われるチップセレクト排他ロックモードのソフトウェアで切り替え可能な2種類のモードがあり、各モードによってアビトリレーションのしかたも切り替わるようになっている。また、メモリコントローラ160 は4つの要求のアビトリレーションの結果が反映する命令フェッチアクセスアクノレッジ信号/ACKF 、オペランドアクセスアクノレッジ信号/ACK0 、内部ホールドアクノレッジ信号int/HACK 、および内部データコンプリート信号int/DC を出力する。

【0039】そして、非インターロックアクセス時、メモリコントローラ160 は内部ホールドリクエスト信号int/HREQ がLレベルになると、マイクロプロセッサ100 が外部データバスに対するバスサイクルを起動しようしていないか判定して、起動しようとしているなければ内部ホールドアクノレッジ信号int/HACK をLレベルにする。すなわち、命令フェッチアクセスおよびオペランドアクセスが外部メモリ400 に対しておこなうとしていないかを、命令フェッチアクセスまたはオペランドアクセスの要求を示す命令フェッチアクセスリクエスト信号/REQF またはオペランドアクセスリクエスト信号/REQ0 がLレベルになっていないか、また命令フェッチアクセスアドレス信号AF またはオペランドアクセスアドレス信号A0 が外部メモリ400 のアドレスを指定しているかで判断す

(8)

13

る。

【0040】そして、命令フェッチアクセスリクエスト信号/REQF がL レベルかつ命令フェッチアクセスアドレス信号AFが外部メモリ400 のアドレスを指定しているか、またはオペランドアクセスリクエスト信号/REQ0 がL レベルかつオペランドアクセスアドレス信号AOが外部メモリ400 のアドレスを指定していれば、メモリコントローラ160 は内部ホールドリクエスト信号int/HREQがL レベルになつても実行中の外部への命令フェッチアクセスまたはオペランドアクセスが終了するまでは内部ホールドアクセスアクノレッジ信号int/HACKをL レベルにしない。さもなくば、すぐに内部ホールドアクセスアクノレッジ信号int/HACKをL レベルにする。

【0041】また、非インターロックアクセス時、メモリコントローラ160 は内部ホールドリクエスト信号int/HREQがL レベルになっているとCPU 110 からの外部への命令フェッチアクセスまたはオペランドアクセスの要求に応じない。つまり、メモリコントローラ160 は内部ホールドリクエスト信号int/HREQがL レベルのとき、命令フェッチアクセスアドレス信号AFが外部メモリ400 のアドレスを指定し、かつ命令フェッチアクセスリクエスト信号/REQF がL レベルとなるか、またはオペランドアクセスアドレス信号AOが外部メモリ400 のアドレスを指定し、かつオペランドアクセスリクエスト信号/REQ0 がL レベルとなつても内部ホールドリクエスト信号int/HREQ がH レベルになるのに応じて内部ホールドアクセスアクノレッジ信号int/HACKをH レベルにして外部データバス500 のバス権を得るまでは要求のそれぞれに対応した命令フェッチアクセスアクノレッジ信号/ACKF またはオペランドアクセスアクノレッジ信号/ACK0 をL レベルにしない。

【0042】つまり、非インターロック時は命令フェッチアクセスおよびオペランドアクセスが外部メモリ400 へのアクセスであれば、メモリコントローラ160 は命令フェッチアクセスリクエスト信号/REQF 、オペランドアクセスリクエスト信号/REQ0 および内部ホールドリクエスト信号int/HREQのうちL レベルになるのが早いものから順に応答の信号、つまり命令フェッチアクセスアクノレッジ信号/ACKF 、オペランドアクセスアクノレッジ信号/ACK0 および内部ホールドアクセスアクノレッジ信号int/HACK をL レベルにしていく。命令フェッチアクセスリクエスト信号/REQF 、オペランドアクセスリクエスト信号/REQ0 および内部ホールドリクエスト信号int/HREQが同時にL レベルとなつた場合は、メモリコントローラ160 はまずホールドリクエストに応じて内部ホールドアクノレッジ信号int/HACKをL レベルにする。その後、オペランドアクセスリクエストに応じてオペランドアクセスアクノレッジ信号/ACK0 をL レベルにする。そして、このオペランドアクセスが完了すると命令フェッチアクセスリクエストに応じて命令フェッチアクセスアクノレッジ信号/ACKF をL レベルにする。

(14)

【0043】しかしながら、非インターロック時に命令フェッチアクセスおよびオペランドアクセスが内蔵DRAM 領域へのアクセスであれば、内部ホールドリクエスト信号int/HREQによらずに命令フェッチアクセスリクエスト信号/REQF およびオペランドアクセスリクエスト信号/REQ0 のうちL レベルになるのが早いものから順に応答の信号、つまり命令フェッチアクセスアクノレッジ信号/ACKF およびオペランドアクセスアクノレッジ信号/ACK0 をL レベルにしていく。この場合、命令フェッチアクセスリクエスト信号/REQF およびオペランドアクセスリクエスト信号/REQ0 が同時にL レベルになると、まずオペランドアクセスアクノレッジ信号/ACK0をL レベルにし、このオペランドアクセスが完了すると命令フェッチアクセスリクエストに応じて命令フェッチアクセスアクノレッジ信号/ACKF をL レベルにする。

【0044】また、非インターロックアクセス時、内部チップセレクト信号int/CSがL レベルになると、メモリコントローラ160 は命令フェッチアクセスリクエスト信号/REQF およびオペランドアクセスリクエスト信号/REQ0 がH レベルであるか、この少なくともどちらか一方が既にL レベルであつてもその要求が外部へのアクセスであるために対応の命令フェッチアクセスアクノレッジ信号/ACKF またはオペランドアクセスアクノレッジ信号/ACK0 がH レベルのままの場合はチップセレクトに応じて内蔵DRAMへのアクセスをおこない、このアクセスが終わると応答の内部データコンプリート信号int/DCをL レベルにする。

【0045】また、非インターロックアクセス時に命令フェッチアクセスリクエスト信号/REQF 、オペランドアクセスリクエスト信号/REQ0 、および内部チップセレクト信号int/CSが同時にL レベルになった場合は、メモリコントローラ160 はまずチップセレクトに応じて内蔵DRAM 領域へのアクセスをおこない、このアクセスが終わると内部データコンプリート信号int/DCをL レベルにする。その後、オペランドアクセスリクエストに応じてオペランドアクセスアクノレッジ信号/ACK0 をL レベルにする。そして、このオペランドアクセスが完了すると命令フェッチアクセスリクエストに応じて命令フェッチアクセスアクノレッジ信号/ACKF をL レベルにする。チップセレクト信号/CS はホールドリクエスト信号/HREQ およびホールドアクセスアクノレッジ信号/HACK がL レベルになつてからL レベルとされるので、内部チップセレクト信号int/CSがL レベルになるときは内部ホールドアクノレッジ信号int/HACKはL レベルとなっている。

【0046】ロック信号/LOCK がL レベル、オペランドリード／ライト信号OPR/W がH レベルにされ、オペランドアクセスリクエスト信号/REQ0 がL レベルになつたのに応答してオペランドアクセスアクノレッジ信号/ACK0 がL レベルになることで、つまりインターロック付のオペランドリードサイクルが始まったときからインターロ

(9)

15

ックアクセス期間が始まる。このインターロックアクセス期間はロック信号/LOCK がHレベル、オペランドリード／ライト信号OPR/W がLレベルにされ、オペランドアクセスリクエスト信号/REQ0 がLレベルになった後、オペランドアクセス完了信号/END0 がLレベルとなることで、つまりインターロック付のオペランドライトサイクルが終わったときで終了する。

【0047】インターロックアクセス期間中、ホールド排他ロックモードに設定されている場合は、メモリコントローラ160 は内部ホールドリクエスト信号int/HREQがLレベルになってもインターロックアクセス期間が終了するまでは無視して内部ホールドアクセスアクノレッジ信号int/HACKを外部から内蔵DRAM領域へのアクセスが排除されていることを示すHレベルにする。また、インターロック期間中もメモリコントローラ160 は命令フェッチアクセスリクエスト信号/REQF およびオペランドアクセスリクエスト信号/REQ0 のうちLレベルになるのが早いほうから順に応答の命令フェッチアクセスアクノレッジ信号/ACKF およびオペランドアクセスアクノレッジ信号/ACK0 をLレベルにする。さらに、メモリコントローラ160 は命令フェッチアクセスリクエスト信号/REQF およびオペランドアクセスリクエスト信号/REQ0 が同時にLレベルになるとまずオペランドアクセスアクノレッジ信号/ACK0をLレベルにする。そして、このオペランドアクセスが完了すると命令フェッチアクセスアクノレッジ信号/ACKF をLレベルにする。

【0048】インターロックアクセス期間中、チップセレクト排他ロックモードに設定されている場合は、メモリコントローラ160 は内部チップセレクト信号int/CSがLレベルになってもインターロックアクセス期間が終了するまでは無視して内蔵DRAM領域へのアクセスを行わず、データコンプリート信号int/DCをHレベルのままにして内蔵DRAM領域へのアクセスが排除されていることを知らせる。また、このときもメモリコントローラ160 は命令フェッチアクセスリクエスト信号/REQF およびオペランドアクセスリクエスト信号/REQ0 のうちLレベルになるのが早いほうから順に応答の命令フェッチアクセスアクノレッジ信号/ACKF およびオペランドアクセスアクノレッジ信号/ACK0 をLレベルにする。さらに、メモリコントローラ160 は命令フェッチアクセスリクエスト信号/REQF およびオペランドアクセスリクエスト信号/REQ0 が同時にLレベルになるとまずオペランドアクセスアクノレッジ信号/ACK0をLレベルにする。そして、このオペランドアクセスが完了すると命令フェッチアクセスアクノレッジ信号/ACKF をLレベルにする。

【0049】さらに、メモリコントローラ160 は外部バスインターフェイスユニット150 から内部データコンプリート信号int/DC、内部リード／ライト信号intR/W、内部アドレス信号intA[8:30]を受け、命令フェッチアクセス完了信号/ENDF 、オペランドアクセス完了信号/END0

50

16

、内部リード／ライト信号intR/W、内部アドレス信号intA[8:30]、内部バススタート信号int/BS、制御信号CTRLD および制御信号CTRLC を出力する。

【0050】メモリコントローラ160 は命令フェッチアクセスアクノレッジ信号/ACKF をLレベルにしたときは、CPU 110 からの命令フェッチアクセスアドレス信号AFが内蔵DRAM領域内のアドレスを指定しているか外部メモリ400 のアドレスを指定しているか判定した結果、外部メモリへのアクセスであると判断すると内部リード／ライト信号intR/Wをリードを示すHレベルにするとともに、内部アドレス信号intA[8:30]を外部メモリ400 をアクセスするアドレスに変化させ、内部バススタート信号int/BSを外部データバス500 に対してバスサイクルを起動したことを示すLレベルにする。その後、内部データコンプリート信号int/DCがバスサイクルの完了を示すLレベルになると、メモリコントローラ160 は内部バススタート信号int/BSをHレベルにもどし、再びLレベルにするとともに内部アドレス信号intA[8:30]を変化させてバスサイクルを起動する。このようにして32ビットのデータを取り込むときは2回、64ビットならば4回、96ビットならば6回、128ビットならば8回のバスサイクルを起動させる。そして、メモリコントローラ160 は内部データコンプリート信号int/DCが2, 4, 6 または8回Lレベルになったのに応じて命令フェッチアクセス完了信号/ENDF をLレベルにする。

【0051】また、判定の結果内蔵DRAM領域へのアクセスであると判断すると、メモリコントローラ160 はCPU 110 からの命令フェッチアクセスアドレス信号AFがキャッシュメモリ130 に記憶されているデータに対応するアドレスか否かを判定し、対応するアドレスならばキャッシュヒットとしてキャッシュメモリ130 へのアクセスであると判断し、キャッシュメモリ130 を制御するための制御信号CTRLC を変化させる。また、対応するアドレスでなければキャッシュミスとして内蔵DRAM120へのアクセスであると判断し、内蔵DRAM120 を制御するための制御信号CTRLDを変化させる。その後、メモリコントローラ160 は内蔵DRAM120 またはキャッシュメモリ130 のサイクルタイムが経過するのを見計らって命令フェッチアクセス完了信号/ENDF をLレベルにするとともに、制御信号CTRLC またはCTRLD の保持を終了する。

【0052】また、メモリコントローラ160 はオペランドアクセスアクノレッジ信号/ACK0をLレベルにしたときも、命令フェッチアクセスアクノレッジ信号/ACKF をLレベルにしたときと同様にオペランドアクセスが外部メモリ400 へのアクセスであると判断すると、内部リード／ライト信号intR/Wをオペランドリード／ライト信号OPR/W に応答して、オペランドリード／ライト信号OPR/W がHレベルならばHレベルに、LレベルならばLレベルに変化させる。それとともに、内部アドレス信号intA[8:30]を外部メモリ400 をアクセスするアドレスに変化

(10)

17

させ、内部バススタート信号int/BSを外部データバス500に対してバスサイクルを起動したことを示すLレベルにする。

【0053】その後、内部データコンプリート信号int/DCがバスサイクルの完了を示すLレベルになるとメモリコントローラ160は内部バススタート信号int/BSをHレベルにもどし、再びLレベルにするとともに内部アドレス信号intA[8:30]を変化させてバスサイクルを起動する。このようにして32ビットのデータを取り込むまたは出力するときは2回、64ビットならば4回、96ビットならば6回、128ビットならば8回のバスサイクルを起動させる。そして、メモリコントローラ160は内部データコンプリート信号int/DCが2, 4, 6または8回Lレベルになったのに応じてオペランドアクセス完了信号/END0をLレベルにする。

【0054】また、オペランドアクセスが内蔵DRAM領域へのアクセスであると判断すると、キャッシュヒットならばキャッシュメモリ130を制御するための制御信号CTRLCをCPU110からのオペランドアクセスアドレス信号A0およびオペランドリード/ライト信号OPR/Wに応答して変化させる。また、キャッシュミスならば内蔵DRAM120を制御するための制御信号CTRLDをCPU110からのオペランドアクセスアドレス信号A0およびオペランドリード/ライト信号OPR/Wに応答して変化させる。その後、メモリコントローラ160は内蔵DRAM120またはキャッシュメモリ130のサイクルタイムが経過するのを見計らってオペランドアクセス完了信号/END0をLレベルにするとともに、制御信号CTRLCまたはCTRLDの保持を終了する。

【0055】さらに、メモリコントローラ160は内部チップセレクト信号int/CSがLレベルになったのに応じた場合はCPU110による内蔵DRAM領域へのアクセスのときと同様に外部バスインターフェイスユニット150からの内部アドレスintA[8:30]に基づきキャッシュヒットかミスかの判定をおこなう。そして、キャッシュヒットならばキャッシュメモリ130を制御するための制御信号CTRLCを内部リードライト信号intR/Wおよび外部バスインターフェイスユニット150からの内部アドレスintA[8:30]に応答して変化させる。また、キャッシュミスならば内蔵DRAM120を制御するための制御信号CTRLDを内部リードライト信号intR/Wおよび外部バスインターフェイスユニット150からの内部アドレスintA[8:30]に応答して変化させる。その後、メモリコントローラ160は内蔵DRAM120またはキャッシュメモリ130のサイクルタイムが経過するのを見計らって内部データコンプリート信号int/DCをLレベルにするとともに制御信号CTRLCまたはCTRLDの保持を終了する。

【0056】次に図2を参照してCPU110についてもう少し詳しく説明する。CPU110は32ビットRISC型のCPUコアで構成される。命令長は16ビットまたは32ビットと

18

なっている。また、CPU110から内蔵DRAM領域または外部メモリ400へのオペランドアクセスはload命令およびstore命令だけで行われる。図2を参照して、CPU110は内部データバス170からの128ビットの内部データintD[0:127]を受けてこのうちの32ビットを命令として出力するための命令キュー110aを含む。また、CPU110は命令キュー110aから受けた命令をデコードして出力する命令デコーダ110bを含む。命令キュー110aから32ビットのデータが転送されてきたときにはそのデータが32ビットの命令か16ビットの命令かはわからないが、この命令デコーダ110bでデコードされることで32ビットか16ビットかわかる。

【0057】また、CPU110は命令キュー110aがフェッチしようとする命令が記憶されている命令フェッチアクセスアドレス信号AFを発生するプログラムカウンタ110c、データを格納しておくためのレジスタユニット110dを含む。レジスタユニット110dは32ビット幅のレジスタを16本有する。さらに、CPU110はデータの足し算、引き算およびANDやORなどの論理演算をおこなうためのALU(Arithmetic Logic Unit)110e、データのビット列を所望のビット分シフトまたはローテートするためのシフタ110f、データの積和演算をするための積和演算ユニット110gを含む。積和演算ユニット110gは32×16ビットの乗算器と56ビットのアキュムレータを有する。さらによくまた、CPU110はレジスタユニット110d、ALU110e、シフタ110fおよび積和演算ユニット110gの間でデータのロードおよびストアをおこなうためのロードストアユニット110hを含む。

【0058】また、CPU110は内部データバス170からの128ビットの内部データintD[0:127]を受けてこのうちの32ビットを出力し、逆に32ビットのデータをレジスタ110dなどのユニットから受けて内部データバス170に出力するためのデータセレクタ110iを含む。さらに、CPU110はオペランドアクセスを制御するためのCPU制御回路110jを含む。命令は5段のパイプラインで処理される。パイプラインは命令キュー110aでの命令フェッチ、命令デコーダ110bでの命令でコード、ALU110eなどでの実行、CPU制御回路110jでのメモリアクセス、およびデータセレクタ110iでのレジスタへのライトバックである。

【0059】命令キュー110aは必要な命令を全て命令デコーダ110bに出力してしまうと、次の命令をフェッチするために命令フェッチアクセスリクエスト信号/REQFをLレベルにする。そして、内部データバス170を介して命令が伝達されてきて命令フェッチアクセス完了信号/ENDNDFがLレベルになると内部データバス170からの命令をラッチする。命令デコーダ110bは命令キュー110aから与えられた命令をデコードし、レジスタユニット110d、ALU110e、シフタ110f、積和演算ユニット110g、ロードストアユニット110hまたはCPU制御回路110jに転送す

(11)

19

る。プログラムカウンタ110cは命令キュー110aが命令フェッチアクセスリクエスト信号/REQFをLレベルになると命令フェッチアクセス先を指定するための命令フェッチアクセスアドレス信号AFをアクセスするアドレスに変化させる。また、プログラムカウンタ110cは命令フェッチアクセスアドレス信号/ACKFがLレベルになると命令フェッチアクセスアドレス信号AFの出力を終了する。

【0060】データセレクタ110iはオペランドアクセスアドレス信号AO、オペランドアクセスアクノレッジ信号/ACKOおよびオペランドアクセス完了信号/ENDOを受ける。データセレクタ110iは、オペランドライト時はオペランドアクセスアクノレッジ信号/ACKOがLレベルになるとレジスタユニット110dなどから受けた32ビットのデータを128ビット幅の内部データバス170のうちのオペランドアクセスアドレス信号AOに応答した32ビットに出力する。また、データセレクタ110iは、オペランドリード時はオペランドアクセス完了信号/ENDOがLレベルになると内部データバス170からの128ビットのデータをラッピし、そのうちのオペランドアクセスアドレス信号AOに応答した32ビットを出力する。

【0061】CPU制御回路110jは命令デコーダ110bからデコードされた命令を受ける。また、CPU制御回路110jは命令デコーダ110bからの命令がload命令またはstore命令でこれらの命令のオペランド指定部分が内蔵DRAM領域、外部メモリ400およびマイクロプロセッサ100内にはあるがCPU110の外にあるレジスタなどを指定しているとき、このオペランド指定部分に応じてオペランドアクセスアドレス信号AOを変化させる。このとき、CPU制御回路110jはオペランドアクセスリクエスト信号/REQQをLレベルにし、オペランドリード/ライト信号OPR/Wをload命令の場合はHレベルに、store命令の場合はLレベルにする。また、CPU制御回路110jはload命令がインターロック付load命令の場合はロック信号/LOCKをLレベルにし、インターロック付store命令の場合はロック信号/LOCKをHレベルにもどす。

【0062】次に外部バスインターフェイスユニット150についてもう少し詳しく説明する。図3を参照して、外部バスインターフェイスユニット150は外部からホールドリクエスト信号/HREQを受けて内部ホールドリクエスト信号int/HREQを出力するホールドリクエスト信号入力バッファ150aを含む。ホールドリクエスト信号入力バッファ150aは内部ホールドリクエスト信号int/HREQをホールドリクエスト信号/HREQがHレベルならばHレベルに、LレベルならばLレベルにする。また、外部バスインターフェイスユニット150は内部ホールドアクノレッジ信号int/HACKを受けて外部にホールドアクノレッジ信号/HACKを出力するホールドアクノレッジ信号出力バッファ150bを含む。ホールドアクノレッジ信号出力バッファ150bはホールドアクノレッジ信号/HACKを内部ホールドアクノレッジ信号int/HACKがHレベルならばHレベル

20

に、LレベルならばLレベルにする。

【0063】さらに、外部バスインターフェイスユニット150は外部からチップセレクト信号/CSを受けて内部チップセレクト信号int/CSを出力するチップセレクト信号入力バッファ150cを含む。チップセレクト信号入力バッファ150cは内部チップセレクト信号int/CSをチップセレクト信号/CSがHレベルならばHレベルに、LレベルならばLレベルにする。さらにまた、外部バスインターフェイスユニット150は内部チップセレクト信号int/CSを受け、さらに外部からデータコンプリート信号/DCを受けて内部データコンプリート信号int/DCを出力し、また内部データコンプリート信号int/DCを受けてデータコンプリート信号/DCを出力するデータコンプリート信号入出力バッファ150dを含む。データコンプリート信号入出力バッファ150dは、内部チップセレクト信号int/CSがHレベルの場合は内部データコンプリート信号/DCがHレベルならばHレベルに、LレベルならばLレベルにし、内部チップセレクト信号int/CSがLレベルの場合は外部へのデータコンプリート信号/DCを内部データコンプリート信号int/DCがHレベルならばHレベルに、LレベルならばLレベルにする。

【0064】また、外部バスインターフェイスユニット150は内部ホールドアクノレッジ信号int/HACKを受け、さらに外部からリード/ライト信号R/Wを受けて内部リード/ライト信号intR/Wを出力し、また内部リード/ライト信号intR/Wを受けてリード/ライト信号R/Wを出力するリード/ライト信号入出力バッファ150eを含む。リード/ライト信号入出力バッファ150eは、内部ホールドアクノレッジ信号int/HACKがHレベルの場合はリード/ライト信号R/Wを内部リード/ライト信号intR/WがHレベルならばHレベルに、LレベルならばLレベルにし、内部ホールドアクノレッジ信号int/HACKがLレベルの場合は内部リード/ライト信号intR/Wを外部からのリード/ライト信号R/WがHレベルならばHレベルに、LレベルならばLレベルにする。

【0065】さらに、外部バスインターフェイスユニット150は内部ホールドアクノレッジ信号int/HACKを受け、さらに外部からアドレス信号A[8:30]を受けて内部アドレス信号intA[8:30]を出力し、また内部アドレス信号intA[8:30]を受けてアドレス信号A[8:30]を出力するアドレス信号入出力バッファ150fを含む。アドレス信号入出力バッファ150fは、内部ホールドアクノレッジ信号int/HACKがHレベルの場合はアドレス信号A[8:30]を内部アドレス信号intA[8:30]と同じレベルにし、内部ホールドアクノレッジ信号int/HACKがLレベルの場合は内部アドレス信号intA[8:30]をアドレス信号A[8:30]と同じレベルにする。

【0066】さらにまた、外部バスインターフェイスユニット150は内部バススタート信号int/BSを受け、外部

(12)

21

ヘバススタート信号/BS を出力するバススタート信号出力バッファ150gを含む。バススタート信号出力バッファ150gはバススタート信号/BSを内部バススタート信号int/BSがHレベルならばHレベルに、LレベルならばLレベルにする。

【0067】また、外部バスインターフェイスユニット150 は内部ホールドアクノレッジ信号int/HACK、内部データコンプリート信号int/DC、内部リード／ライト信号R/Wおよび内部クロック信号intCLKを受け、さらに外部から外部データextD[0:15]を受けて内部データintD[0:127]を出力し、また内部データintD[0:127]を受けて外部データextD[0:15]を出力する、128 ビットの内部データバスと16ビットの外部データバスとのバス幅変換をおこなうためのデータバッファ150hを含む。データバッファ150hは内部ホールドアクノレッジ信号int/HACKがHレベルのとき、内部リード／ライト信号intR/WがHレベルの場合は内部クロック信号intCLKがLレベルからHレベルに変化する際に内部データコンプリート信号int/DCがLレベルであると16ビットの外部データextD[0:15]をラッチしてデータバッファ150hに蓄えるとともに、蓄えたデータを128 ビットの内部データintD[0:127]のいずれか16ビットとして出力する。

【0068】また、データバッファ150hは内部ホールドアクノレッジ信号int/HACKがHレベルのとき、内部リード／ライト信号intR/WがLレベルの場合は内部クロック信号intCLKがLレベルからHレベルに変化する際に内部データコンプリート信号int/DCがLレベルであると128 ビットの内部データintD[0:127]のうちから出力していた16ビットの外部データextD[0:15]の出力保持を終了する。さらに、データバッファ150hは内部ホールドアクノレッジ信号int/HACKがLレベルのとき、内部リード／ライト信号intR/WがHレベルの場合は内部クロック信号intCLKがHレベルからLレベルに変化する際に内部データコンプリート信号int/DCがLレベルであると128 ビットの内部データintD[0:127]のうちから16ビットの外部データextD[0:15]を出力する。

【0069】さらにまた、データバッファ150hは内部ホールドアクノレッジ信号int/HACKがLレベルのとき、内部リード／ライト信号intR/WがLレベルの場合は内部クロック信号intCLKがHレベルからLレベルに変化する際に内部データコンプリート信号int/DCがLレベルであると16ビットの外部データextD[0:15]をラッチしてデータバッファ150hに蓄えるとともに、蓄えたデータを128 ビットの内部データintD[0:127]のいずれか16ビットとして出力する。

【0070】次に、マイクロプロセッサ100 におけるメモリコントローラ160 についてもう少し詳しく説明する。図4 を参照して、メモリコントローラ160 は内部データバスを介して転送されてきたデータを記憶し、この記憶データをロックモード信号LMとして出力するロック

22

モードを設定するためのロックモードレジスタ161 を含む。ロックモード信号LMがLレベルのときはロックモードはホールド排他ロックモードに設定され、Hレベルのときはチップセレクト排他ロックモードに設定される。ロックモードレジスタ161 の値を設定するために、CPU 110 にロックモードレジスタ161 へのstore 命令を実行させる。つまりST A0, LMという命令を実行させる。STはstore 命令を示し、A0はstore 命令の実行先アドレスを示し、LMはロックモードのデータを示す。A0をロックモードレジスタ161 のアドレスに、LMをホールド排他ロックモードに設定するときは0 に、チップセレクト排他ロックモードに設定するときは1 にすることでオペランドアクセスがおこなわれると、オペランドアクセスアドレス信号A0によりロックモードレジスタ161 が指定されて内部データバス170 を介してLMがロックモードレジスタ161 に転送される。

【0071】また、メモリコントローラ160 はロックモード信号LM、ロック信号/LOCK 内部ホールドリクエスト信号int/HREQおよび内部チップセレクト信号int/CSを受け、ロック付ホールドリクエスト信号/HREQおよびロック付チップセレクト信号/CSLを出力するインターロック回路162 を含む。インターロック回路162 はさらに、内部ホールドリクエスト信号int/HREQを受けてこの反転信号を出力するインバータ162aおよびロック信号/LOCK を受けてこの反転信号を出力するインバータ162bを含む。また、インターロック回路162 はインバータ162bからの反転信号とロック付ホールドリクエスト信号/HREQとを受けるNAND回路162c、およびインバータ162aからの反転信号とNAND回路162cの出力信号とロックモード信号LMとを受けてロック付ホールドリクエスト信号/HREQを出力するNANDゲートとORゲートとからなる複合ゲート回路162dを含む。

【0072】さらに、インターロック回路162 はロックモード信号LMを受けてこの反転信号を出力するインバータ162eおよび内部チップセレクト信号int/CSを受けてこの反転信号を出力するインバータ162fを含む。インターロック回路162 はさらに、インバータ162bからのロック信号/LOCK の反転信号とロック付チップセレクト信号/CSLとを受けるNAND回路162g、およびNAND回路162gの出力信号とインバータ162fからの反転信号とロックモード信号LMのインバータ162eによる反転信号を受け、ロック付チップセレクト信号/CSLを出力するNANDゲートとORゲートとからなる複合ゲート回路162hを含む。そして、インターロック回路162 は、ロック信号/LOCKがHレベルのときはロックモード信号LMの値によらず、ロック付ホールドリクエスト信号/HREQおよびロック付チップセレクト信号/CSLをそれぞれ内部ホールドリクエスト信号int/HREQおよび内部チップセレクト信号int/CSに応じたレベルに変化させる。

【0073】また、インターロック回路162 はロック信

(13)

23

号/LOCK がLレベルでロック付ホールドリクエスト信号/HREQがHレベルのときは、ロックモード信号LMがLレベルであるとロック付ホールドリクエスト信号/HREQを内部ホールドリクエスト信号int/HREQによらずHレベルにロックする。さらに、インターロック回路162 はロック信号/LOCK がLレベルでロック付チップセレクト信号/CSLがHレベルのときは、ロックモード信号LMがHレベルであるとロック付ホールドリクエスト信号/HREQのほうは内部ホールドリクエスト信号int/HREQに応じたレベルに変化させるものの、ロック付チップセレクト信号/CSLを内部チップセレクト信号int/CSによらずHレベルにロックする。

【0074】ところで、先のメモリコントローラ160 の説明で便宜上命令フェッチアクセスリクエスト信号/REQF 、オペランドアクセスリクエスト信号/REQ0 および内部ホールドリクエスト信号int/HREQが同時にLレベルになる場合の説明をしたが、この説明はインターロック回路162 中のインバータ162aおよび複合ゲート回路162dの遅延があるので、厳密には命令フェッチアクセスリクエスト信号/REQF 、オペランドアクセスリクエスト信号/REQ0 およびロック付ホールドリクエスト信号/HREQが同時にLレベルになった場合の説明である。同様に命令フェッチアクセスリクエスト信号/REQF 、オペランドアクセスリクエスト信号/REQ0 および内部チップセレクト信号int/CSが同時にLレベルになる場合の説明をしたが、この説明はインターロック回路162 中のインバータ162f および複合ゲート回路162hの遅延があるので、厳密には命令フェッチアクセスリクエスト信号/REQF 、オペランドアクセスリクエスト信号/REQ0 およびロック付チップセレクト信号/CSLが同時にLレベルになった場合の説明である。

【0075】さらに、メモリコントローラ160 は命令フェッチアクセサアドレス信号AF、オペランドアクセサアドレス信号A0、命令フェッチアクセスリクエスト信号/REQF 、オペランドアクセスリクエスト信号/REQ0 およびロック付ホールドリクエスト信号/HREQを受け、内部ホールドアクノレッジ信号int/HACKを出力するホールド制御回路163 を含む。ホールド制御回路163 はまた、ロック付ホールドリクエスト信号/HREQと命令フェッチアクセスリクエスト信号/REQF のどちらが早くLレベルになったかを示すための命令フェッチ用早遅検知信号FLF 、ロック付ホールドリクエスト信号/HREQとオペランドアクセスリクエスト信号/REQ0 のどちらが早くLレベルになったかを示すオペランド用早遅検知信号FL0 、命令フェッチアクセサアドレス信号AFが外部メモリ400 のアドレスを指定しているか否か示すための命令フェッチ用外部アクセス検知信号EADF 、およびオペランドアクセサアドレス信号A0が外部メモリ400 のアドレスを指定しているか否か示すためのオペランド用外部アクセス検知信号EAD0を出力する。

24

【0076】ホールド制御回路163 はロック付ホールドリクエスト信号/HREQが命令フェッチアクセスリクエスト信号/REQF およびオペランドアクセスリクエスト信号/REQ0 よりも早くLレベルになるか、ロック付ホールドリクエスト信号/HREQと命令フェッチアクセスリクエスト信号/REQF およびオペランドアクセスリクエスト信号/REQ0 の一方とが同時にLレベルになり、他方が同時またはそれよりも遅くLレベルになるとすぐに内部ホールドアクノレッジ信号int/HACKをLレベルにする。また、

10 ホールド制御回路163 はロック付ホールドリクエスト信号/HREQが命令フェッチアクセスリクエスト信号/REQF よりも遅くLレベルになつても、命令フェッチアクセサアドレス信号AFが外部メモリ400 のアドレスを指示していなければ、すなわち命令フェッチアクセスが外部バスサイクルを起動するものでなければ、内部ホールドアクノレッジ信号int/HACKをすぐにLレベルにする。

【0077】また、ホールド制御回路163 はロック付ホールドリクエスト信号/HREQがオペランドアクセスリクエスト信号/REQ0 よりも遅くLレベルになつても、オペランドアクセサアドレス信号A0が外部メモリ400 のアドレスを指示していなければ、すなわちオペランドアクセスが外部バスサイクルを起動するものでなければ、内部ホールドアクノレッジ信号int/HACKをすぐにLレベルにする。これら以外のときはロック付ホールドリクエスト信号/HREQがLレベルになつても、ホールドリクエスト制御回路163 は内部ホールドアクノレッジ信号int/HACKをすぐにLレベルにしないことでこの要求に対して待機をかけて、先にLレベルになつていた命令フェッチアクセスリクエスト信号/REQF またはオペランドアクセスリクエスト信号/REQ0 がHレベルになってから内部ホールドアクノレッジ信号int/HACKをLレベルにする。

20 【0078】さらに、ホールド制御回路163 はロック付ホールドリクエスト信号/HREQよりも命令フェッチアクセスリクエスト信号/REQF のほうが早くLレベルになると命令フェッチ用早遅検知信号FLF をHレベルにし、ロック付ホールドリクエスト信号/HREQよりも命令フェッチアクセスリクエスト信号/REQF のほうが遅いか、同時にLレベルになると命令フェッチ用早遅検知信号FLF をLレベルにする。また、ホールド制御回路163 はロック付ホールドリクエスト信号/HREQよりもオペランドアクセスリクエスト信号/REQ0 のほうが早くLレベルになるとオペランド用早遅検知信号FL0 をHレベルにし、ロック付ホールドリクエスト信号/HREQよりもオペランドアクセスリクエスト信号/REQ0 のほうが遅いか、同時にLレベルになるとオペランド用早遅検知信号FL0 をLレベルにする。

40 【0079】また、ホールド制御回路163 は命令フェッチアクセサアドレス信号AFが外部メモリ400 のアドレスを指定している場合は命令フェッチ用外部アクセス検知信号EADF をHレベルにし、さもなくばLレベルにする。

50 【0080】また、ホールド制御回路163 は命令フェッチアクセサアドレス信号AFが外部メモリ400 のアドレスを指定している場合は命令フェッチ用外部アクセス検知信号EAD0をHレベルにし、さもなくばLレベルにする。

(14)

25

さらに、ホールド制御回路163はオペランドアクセスアドレス信号A0が外部メモリ400のアドレスを指定している場合はオペランド用外部アクセス検知信号EAD0をHレベルにし、さもなくばLレベルにする。

【0080】さらにまた、メモリコントローラ160は命令フェッチアクセスリクエスト信号/REQF、オペランドアクセスリクエスト信号/REQ0、ロック付ホールドリクエスト信号/HREQL、ロック付チップセレクト信号/CSL、命令フェッチ用早遅検知信号FLF、オペランド用早遅検知信号FL0、命令フェッチ用外部アクセス検知信号EADFおよびオペランド用外部アクセス検知信号EAD0を受け、命令フェッチアクセスアクノレッジ信号/ACKF、オペランドアクセスアクノレッジ信号/ACK0、命令フェッチアクセス完了信号/ENDF、オペランドアクセス完了信号/EEND0、および内部データコンプリート信号int/DCを出力するアービトレーション制御回路164を含む。

【0081】アービトレーション制御回路164は命令フェッチアクセスリクエスト信号/REQFがオペランドアクセスリクエスト信号/REQ0よりも早くLレベルになり、命令フェッチ用早遅検知信号FLFが、命令フェッチアクセスリクエスト信号/REQFのほうがロック付ホールドリクエスト信号/HREQLよりもLレベルになるのが早かったことを示すHレベルであると、すぐに命令フェッチアクセスアクノレッジ信号/ACKFをLレベルにする。このとき、命令フェッチ用早遅検知信号FLFがLレベルであっても、命令フェッチ用外部アクセス検出信号EADFが外部バスサイクルを起動しないことを示すLレベルになっており、かつ命令フェッチアクセスリクエスト信号/REQFのほうがロック付チップセレクト信号/CSLよりも早くLレベルになっていればすぐに命令フェッチアクセスアクノレッジ信号/ACKFをLレベルにする。これら以外のときは、アービトレーション制御回路164は命令フェッチアクセスリクエスト信号/REQFがLレベルになってしまっても、命令フェッチアクセスアクノレッジ信号/ACKFをすぐにLレベルにしないことでこの要求に対して待機をかける。

【0082】そして、ロック付ホールドリクエスト信号/HREQLのほうが先にまたは同時にLレベルとなっていたために待機がかかったときはこのロック付ホールドリクエスト信号/HREQLがHレベルになってから、ロック付チップセレクト信号/CSLのほうが先にまたは同時にLレベルとなっていたために待機がかっていたときはこのロック付チップセレクト信号/CSLがHレベルになってから、オペランドアクセスリクエスト信号/REQ0のほうが先または同時にLレベルとなっていたために待機がかっていたときはこのオペランドアクセスリクエスト信号/REQ0がHレベルになってから、アービトレーション制御回路164は命令フェッチアクセスアクノレッジ信号/ACKFをLレベルにする。

【0083】また、アービトレーション制御回路164は

26

オペランドアクセスリクエスト信号/REQ0が命令フェッチアクセスリクエスト信号/REQFよりも早くLレベルになるかまたは同時にLレベルになり、オペランド用早遅検知信号FL0が、オペランドアクセスリクエスト信号/REQ0のほうがロック付ホールドリクエスト信号/HREQLよりもLレベルになるのが早かったことを示すHレベルであると、すぐにオペランドアクセスアクノレッジ信号/ACK0をLレベルにする。このとき、オペランド用早遅検知信号FL0がLレベルであっても、オペランド用外部アクセス検出信号EAD0が外部バスサイクルを起動しないことを示すLレベルになっており、かつオペランドアクセスリクエスト信号/REQ0のほうがロック付チップセレクト信号/CSLよりも早くLレベルになっていればすぐにオペランドアクセスアクノレッジ信号/ACK0をLレベルにする。これら以外のときは、アービトレーション制御回路164はオペランドアクセスリクエスト信号/REQ0がLレベルになってしまってもオペランドアクセスアクノレッジ信号/ACK0をすぐにLレベルにしないことでこの要求に対して待機をかける。

【0084】そして、ロック付ホールドリクエスト信号/HREQLのほうが先にまたは同時にLレベルとなっていたために待機がかかったときはこのロック付ホールドリクエスト信号/HREQLがHレベルになってから、ロック付チップセレクト信号/CSLのほうが先にまたは同時にLレベルとなっていたために待機がかっていたときはこのロック付チップセレクト信号/CSLがHレベルになってから、命令フェッチアクセスリクエスト信号/REQFのほうが先にLレベルとなっていたために待機がかっていたときはこの命令フェッチアクセスリクエスト信号/REQFがHレベルになってから、アービトレーション制御回路164はオペランドアクセスアクノレッジ信号/ACK0をLレベルにする。

【0085】さらに、アービトレーション制御回路164はロック付チップセレクト信号/CSLが命令フェッチアクセスリクエスト信号/REQFおよびオペランドアクセスリクエスト信号/REQ0よりも早くLレベルになるか、または同時にLレベルになると命令フェッチアクセスアクノレッジ信号/ACKFおよびオペランドアクセスアクノレッジ信号/ACK0をHレベルのままでして、内蔵DRAM120またはキャッシュメモリ130のサイクルタイムが経過するのを見計らって内部データコンプリート信号int/DCをLレベルにする。また、ロック付チップセレクト信号/CSLが命令フェッチアクセスリクエスト信号/REQFまたはオペランドアクセスリクエスト信号/REQ0よりも遅くLレベルになったとしても、先にLレベルになった命令フェッチアクセスリクエスト信号/REQFまたはオペランドアクセスアクノレッジ信号/REQ0に対応する外部アクセス検知信号EADFまたはEAD0が外部バスサイクルを起動することを示すHレベルとなっているためにロック付ホールドリクエスト信号/HREQLとのアービトレーションの結

(15)

27

果、待機をかけられて命令フェッチアクセスアクノレッジ信号/ACKF またはオペランドアクセスアクノレッジ信号/ACKO をHレベルのままとしているときも、アービトレーション制御回路164 は内蔵DRAM120 またはキャッシュメモリ130 のサイクルタイムが経過するのを見計らって内部データコンプリート信号int/DCをLレベルにする。

【0086】さらにまた、アービトレーション制御回路164 は命令フェッチアクセスアクノレッジ信号/ACKF をLレベルにしたとき、命令フェッチ用外部アクセス検知信号EADFがHレベルであれば内部データコンプリート信号int/DCに応じて、Lレベルであれば内蔵DRAM120 またはキャッシュメモリ130 のサイクルタイムが経過するのを見計らって、命令フェッチアクセス完了信号/ENDF をLレベルにする。また、アービトレーション制御回路164 はオペランドアクセスアクノレッジ信号/ACKO をLレベルにしたとき、オペランド用外部アクセス検知信号EAD0がHレベルであれば内部データコンプリート信号int/DCに応じて、Lレベルであれば内蔵DRAM120 またはキャッシュメモリ130 のサイクルタイムが経過するのを見計らって、オペランドアクセス完了信号/END0 をLレベルにする。

【0087】次に、アドレス空間について説明しておく。図5 を参照して、マイクロプロセッサ100 のユーザ空間のうちユーザーが利用可能な領域は物理アドレスH■00 0000 からH■FF FFFF 番地までの16MByte である。このうちH■00 0000からH■0FFFFFまでの1MByteの領域は内蔵DRAM領域となっている。また、アドレスは32ビット幅で扱われる。

【0088】次にマイクロプロセッサ100 の命令の転送動作および命令の実行対象データであるオペランドの転送動作について説明する。まず、CPU 110 が命令をフェッチする命令フェッチアクセスの場合について説明する。図1、図2 および図3 を参照して、フェッチしようとする命令がキャッシュメモリ130 に存在するときは、キャッシュヒットとなり128 ビット分の4 つの命令コードがキャッシュメモリ130 から内部データバス170 を介してCPU 110 内の命令キュー110aに転送される。16ビット長の命令も見かけ上は32ビットの命令コードである。CPU 110 がフェッチしようとする命令がキャッシュメモリ130 に存在せず、内蔵DRAM120 に存在するときは128 ビット分の命令コードが内蔵DRAM120 から内部データバス170 を介してCPU 110 内の命令キュー110aに転送される。CPU 110 がフェッチしようとする命令がキャッシュメモリ130 にも内蔵DRAM120 にも存在せず外部メモリ400 にあるときは、命令コードは外部メモリ400 から外部データバス500 を介して外部バスインターフェイスユニット150 内の128 ビットのデータバッファ150hに蓄えられる。

【0089】データバッファ150hへのデータの蓄えられ

50

28

かたには3 通りの蓄えられたがある。第1 は16ビットずつ2 回命令を取り込んで所望の32ビットの1 つの命令コードだけデータバッファ150hに蓄える場合である。第2 は所望の32ビットの1 つの命令コードを先頭にデータバッファ150hの境界までの命令コードをデータバッファ150hに蓄える場合である。この場合は所望の32ビットの命令コードがデータバッファ150hの先頭アドレス部分に取り込まれると、データバッファ150hの境界までの残りの96ビット分の3 つの命令コードが続いてデータバッファ150hに取り込まれる。つまり16ビットずつ8 回命令を外部データバス500 から取り込む。また、所望の32ビットの命令コードがデータバッファ150hの先頭から2 番目のアドレス部分に取り込まれると、データバッファ150h の境界までの残り64ビット分の2つの命令コードが続いてデータバッファ150hに取り込まれる。つまり16ビットずつ6 回命令を外部データバス500 から取り込む。

【0090】同様に考えて、所望の32ビットの命令コードがデータバッファ150hの先頭から3 番目のアドレス部分に取り込まれると、データバッファ150hの境界までの残り32ビット分の1 つの命令コードが続いてデータバッファ150hに取り込まれる。つまり16ビットずつ4 回命令を外部データバス500 から取り込む。所望の32ビットの命令コードがデータバッファ150hの最後のアドレス部分に取り込まれると続いて命令コードの取り込みはおこなわない。つまり16ビットずつ2 回命令を外部データバス500 から取り込む。また、第3 は所望の32ビットの1 つの命令コードを含めて128 ビット分4 つの命令コードをデータバッファ150hに蓄える場合である。この場合、データバッファ150hは16ビットずつ8 回命令コードを外部データバス500 から取り込む。そして、外部バスインターフェイス150 内のデータバッファ150hに蓄えられた命令コードは内部データバス170 を介してCPU 110 内の命令キュー110aに転送される

【0091】次に、CPU 110 がオペランドをリードするオペランドリードアクセスの場合について説明する。CPU 110 が必要とするオペランドが内蔵DRAM領域のアドレスに存在するとき、必要なオペランドを含む128 ビットのデータがキャッシュメモリ130 または内蔵DRAM120 から内部データバス170 を介してCPU 110 内のデータセレクタ110iに転送される。データセレクタ110iはそのうちの必要な32ビット分のオペランドをCPU 110 内部の回路に転送する。CPU 110 が必要とするオペランドが外部メモリ領域のアドレスに存在するとき、外部データバス500 から外部バスインターフェイスユニット150 内のデータバッファ150hに32ビットの所望のオペランドが蓄えられ、内部データバス170 を介してCPU 110 内のデータセレクタ110iに転送される。

【0092】次に、CPU 110 がオペランドをライトするオペランドライトアクセスの場合について説明する。まず、CPU 110 から出力された32ビットのオペランドがデ

(16)

29

一タセレクタ110iに与えられる。データセレクタ110iは128本の内部データバス170のうち32本にCPU 110からの32ビットのオペランドを転送する。そして、このオペランドを内蔵DRAM領域のアドレスにライトするときは内部データバス170を介してキャッシュメモリ130または内蔵DRAM120にオペランドがライトされる。また、このオペランドを外部メモリ400にライトするときはオペランドが内部データバス170を介して外部バスインターフェイスユニット150内のデータバッファ150hに一旦蓄えられ、16ビットづつ外部データバス500に転送される。

【0093】次に、外部バスマスター300が内蔵DRAM領域内のアドレスに存在するオペランドをリードする外部バスマスターIDアクセスの場合について説明する。まずキャッシュメモリ130または内蔵DRAM120から所望のオペランドを含む128ビットのデータが内部データバス170を介して外部バスインターフェイスユニット150内のデータバッファ150hに転送され蓄えられる。その後、このデータバッファ150hに蓄えられたオペランドは16ビットづつ外部データバス500に転送される。そして外部バスマスター300は外部データバス500を介して転送されたオペランドを受ける。

【0094】次に、外部バスマスター300が内蔵DRAM領域内のアドレスにオペランドをライトする外部バスマスターIDアクセスの場合について説明する。まず外部バスマスター300から外部データバスを介して16ビット単位で外部バスインターフェイスユニット150内のデータバッファ150hにデータが転送されてデータバッファ150hに蓄えられる。その後、データバッファ150hに蓄えられたデータは内部データバス170を介してキャッシュメモリ130または内蔵DRAM120にライトされる。

【0095】次に、キャッシュメモリまたは内蔵DRAMへのアクセス動作について詳細に説明する。最初にCPU 110がキャッシュメモリ130または内蔵DRAM120からデータをリードする命令フェッチアクセスのプロトコルについて図6を参照して説明する。まず、時刻t1でCPU 110内の命令キュー110aが時刻t1で命令フェッチリクエスト信号/REQFをLレベルにしてCPU 110内のプログラムカウンタ110cが命令フェッチアクセスアドレス信号AFを内蔵DRAM領域を指定するアドレスに変化させると、メモリコントローラ160はこの要求に応答して命令フェッチアクセスアクノレッジ信号/ACKFを時刻t2でLレベルにする。その後、メモリコントローラ160はキャッシュメモリ130または内蔵DRAM120に対して制御信号CTRLCまたはCTRLDをリードを指示する状態にする。すると、内部データバス170にキャッシュメモリ130または内蔵DRAM120からのデータが内部データintD[0:127]として時刻t3に出力される。この出力された内部データintD[0:127]はCPU 110にフェッチされる。また、メモリコントローラ160は時刻t3で命令フェッチアクセス完了信号/E

(16)

30

NDFをLレベルにする。

【0096】2番目にCPU 110がキャッシュメモリ130または内蔵DRAM120からデータをリードするオペランドリードアクセスのプロトコルについて図7を参照して説明する。まず、時刻t1でCPU 110内のCPU制御回路110jが時刻t1でオペランドアクセスリクエスト信号/REQ0をLレベルにしてオペランドアクセスアドレス信号A0を内蔵DRAM領域を指定するアドレスに変化させると、メモリコントローラ160はこの要求に応答してオペランドアクセスアクノレッジ信号/ACK0を時刻t2でLレベルにする。その後、メモリコントローラ160はキャッシュメモリ130または内蔵DRAM120に対して制御信号CTRLCまたはCTRLDをリードを指示する状態にする。すると、内部データバス170にキャッシュメモリ130または内蔵DRAM120からのデータが内部データintD[0:127]として時刻t3に出力される。この出力された内部データintD[0:127]はCPU 110にフェッチされる。また、メモリコントローラ160は時刻t3でオペランドアクセス完了信号/END0をLレベルにする。

【0097】3番目にCPUがキャッシュメモリ130または内蔵DRAM120にデータをライトするオペランドライトアクセスのプロトコルについて図8を参照して説明する。まず、時刻t1でCPU 110内のCPU制御回路110jが時刻t1でオペランドアクセスリクエスト信号/REQ0をLレベルにしてオペランドアクセスアドレス信号A0を内蔵DRAM領域を指定するアドレスに変化させると、メモリコントローラ160はこの要求に応答してオペランドアクセスアクノレッジ信号/ACK0を時刻t2でLレベルにする。するとCPU 110はライトデータを内部データintD[0:127]として内部データバス170に出力する。その後、メモリコントローラ160はキャッシュメモリ130または内蔵DRAM120に対して制御信号CTRLCまたはCTRLDをライトを指示する状態にする。すると、キャッシュメモリ130または内蔵DRAM120に内部データバス170からのデータがライトされる。また、メモリコントローラ160は時刻t5でオペランドアクセス完了信号/END0をLレベルにする。

【0098】4番目に外部バスマスター300がキャッシュメモリ130または内蔵DRAM120からデータをリードする外部バスマスターIDアクセスのプロトコルについて図9を参照して説明する。まず、外部バスマスター300からの要求に応じて外部バスコントローラ300は時刻t1でホールドリクエスト信号/HREQをLレベルにする。マイクロプロセッサ100はこれに応答して時刻t2でホールドアクノレッジ信号/HACKをLレベルにする。すると、外部バスコントローラ200は時刻t3でチップセレクト信号/C/SをLレベルにするとともに、アドレス信号A[8:30]を指定先のアドレスに変化させ、リード/ライト信号R/WをHレベルにする。すると、CPU 110内のメモリコントローラ160はキャッシュメモリ130または内蔵DRAM120

(17)

31

に対して制御信号CTRLC またはCTRLD をリードを指示する状態にする。

【0099】その後、キャッシングメモリ130 または内蔵DRAM120 から内部データintD[0:127] が内部データバス170 に出力されて外部バスインターフェイスユニット150 に取り込まれて格納され、この格納されたデータが外部データバス500 に外部データextD[0:15] として16ビットずつ時刻t6, t8, t10, t12 の各時刻で出力される。また、データコンプリート信号/DC は時刻t6でL レベルにされる。

【0100】5 番目に外部バスマスタ300 がキャッシングメモリ130 または内蔵DRAM120 にデータをライトする外部バスマストライタアクセスのプロトコルについて図10 を参照して説明する。まず、外部バスマスタ300 からの要求に応じて外部バスコントローラ300 は時刻t1でホールドリクエスト信号/HREQ をL レベルにする。マイクロプロセッサ100 はこれに応答して時刻t2でホールドアクノレッジ信号/HACK をL レベルにする。すると、外部バスコントローラ200 は時刻t3でチップセレクト信号/CS をL レベルにするとともに、アドレス信号A[8:30] を指定先のアドレスに変化させ、リード／ライト信号R/W をL レベルにし、外部バスマスタ300 はライトデータを外部データextD[0:15] として与える。

【0101】外部バスマスタ300 から出力されたライトデータはマイクロプロセッサ100 における外部バスインターフェイスユニット150 内のデータバッファ150hに16 ビットずつ格納される。マイクロプロセッサ100 は外部データバス500 上のデータがデータバッファ150hに格納されたことを外部に通知するために、データコンプリート信号/DC を時刻t4でL レベルにする。チップセレクト信号/CS が時刻t11 でH レベルとされ、リード／ライト信号R/W がL レベルであると、メモリコントローラ160 はキャッシングメモリ130 または内蔵DRAM120 に対して制御信号CTRLC またはCTRLD をライトを指示する状態にする。

【0102】その後、外部バスインターフェイスユニット150 に取り込まれて格納されていたライトデータが内部データバス170 に出力され、この内部データバス170 上のデータがキャッシングメモリ130 または内蔵DRAM120 に格納される。

【0103】次にCPU 110 と外部バスマスタ300 のアクセスが競合した場合の説明をする。図11を参照して、例えばオペランドアクセスリクエスト信号/REQ0 とチップセレクト信号/CS が同時にL レベルになったときのような、CPU 110 からのアクセスリクエストと外部バスマスタ300 からのアクセスリクエストが同時に発生した場合、はメモリコントローラ160 の制御によって外部バスマスタ300 からのアクセスリクエストを優先して処理した後、CPU 110 からのリクエストを処理する。また、図12を参照して、例えばオペランドアクセスリクエスト信

32

号/REQ0 がチップセレクト信号/CS よりも早くL レベルになったときのようなチップセレクトCPU110 からのアクセスリクエストが先に発生した場合、メモリコントローラ160の制御によってCPU 110 からのアクセスリクエストを処理した後、外部バスマスタ300 からのリクエストを処理する。外部バスマスタ300 からのアクセスリクエストが先に発生した場合はこれとは逆の順序になる。

【0104】次にCPU 110 によるインターロックアクセスについて説明する。まず、図13を参照してホールド排

10 他ロックモードに設定されているときのインターロックアクセスのプロトコルについて説明する。CPU 110 はインターロック付load命令の実行からインターロック付store 命令を実行するまでの期間、ロック信号/LOCK をL レベルにする。メモリコントローラ160 はインターロック付load命令によるオペランドアクセスリクエストに応じてオペランドアクセスアクノレッジ信号/ACK0 をL レベルにしてからロック付store 命令によるオペランドアクセスリクエストに応じてオペランドアクセスアクノレッジ信号/ACK0 をL レベルにするまでの期間、外部から与えられるホールドリクエスト信号/HREQ がL レベルになっても無視する。したがって、CPU 110 によるインターロックアクセス期間中は外部バスマスタ300 に対して外部データバス500 のバス権の解放はおこなわれない。そして、メモリコントローラ160 はロック付store 命令によるstore 処理を行ったあとは、ホールドリクエストを受け付ける。

【0105】さらに、図14を参照してチップセレクト排他ロックモードに設定されているときのインターロックアクセスのプロトコルについて説明する。CPU 110 はイン

30 ナタロック付load命令の実行からインターロック付store 命令を実行するまでの期間、ロック信号/LOCK をL レベルにする。メモリコントローラ160 はインターロック付load命令によるオペランドアクセスリクエストに応じてオペランドアクセスアクノレッジ信号/ACK0 をL レベルにしてからロック付store 命令によるオペランドアクセスリクエストに応じてオペランドアクセスアクノレッジ信号/ACK0 をL レベルにするまでの期間、外部から与えられるチップセレクト信号/CS がL レベルになっても無視する。したがってCPU 110 によるインターロック

40 アクセス期間中は外部バスマスタ300 による内蔵DRAM領域へのアクセスはおこなわれない。そして、メモリコントローラ160 はロック付store 命令によるstore 処理を行った後は外部バスマスタ300 からのアクセスリクエストを受け付ける。

【0106】以上のようにこの実施の形態1のマイクロプロセッサ100 はCPU 110 と内蔵DRAM120 とCPU 110 が内蔵DRAM120 にインターロックアクセスを行う制御をするメモリコントローラ160 とを備えてCPU 110 がインターロックアクセスを行えるようにしたので、外部から内蔵DRAM120 へのアクセスに干渉されることなくCPU 110

(18)

33

がread-modify-write アクセスを不可分におこなうことができる。これによって内蔵DRAM120 とCPU 110 を1チップにしたことによるアクセス競合の問題を解決できるため内蔵DRAM120 を外部との共有メモリとして利用できる。

【0107】特に、内蔵DRAM領域にセマフォの値を記憶させるようなシステムにおいては、CPU 110 がセマフォの値を読んで書き換える間に外部から書き換えが行われるという問題を解決できる。また、それ以外にも内蔵DRAM領域を共有メモリとして使用する場合に、CPU 110 が外部からのアクセスリクエストに対して排他的に一連のプロセスを実行することができる。

【0108】また、ホールド排他ロックモードとチップセレクト排他ロックモードとを切り替えられるようにしたので、システムに応じて最適なロックモードに設定できる。

【0109】

【発明の効果】以上のようにこの発明によれば外部からのアクセスに干渉されずにread-modify-write を行えるメモリ内蔵の半導体装置を得ることができる。

【0110】さらに、アクセス競合の問題が改善されたコンピュータシステムを得ることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態のコンピュータシステムを示すブロック図である。

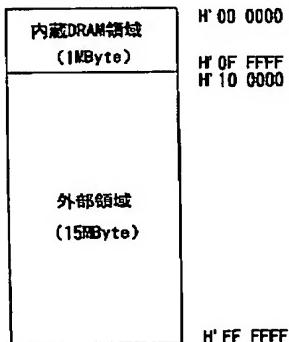
【図2】この発明の実施の形態のCPU を示すブロック図である。

【図3】この発明の実施の形態の外部バスインターフェイスユニットを示すブロック図である。

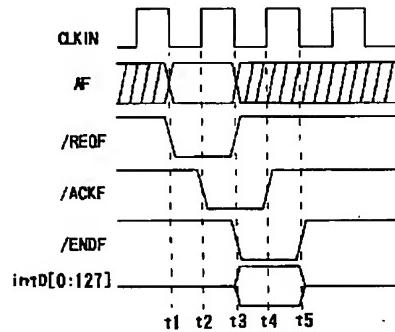
【図4】この発明の実施の形態のメモリコントローラを示すブロック図である。

【図5】この発明の実施の形態のマイクロプロセッサのアドレス空間を示す図である。

【図5】



【図6】



34

【図6】この発明の実施の形態のマイクロプロセッサの命令フェッチアクセス動作を示すタイミング図である。

【図7】この発明の実施の形態のマイクロプロセッサのオペランドリードアクセス動作を示すタイミング図である。

【図8】この発明の実施の形態のマイクロプロセッサのオペランドライトアクセス動作を示すタイミング図である。

【図9】この発明の実施の形態のマイクロプロセッサの外部バスマスタリードアクセス動作を示すタイミング図である。

【図10】この発明の実施の形態のマイクロプロセッサの外部バスマスライタサイクル動作を示すタイミング図である。

【図11】この発明の実施の形態のマイクロプロセッサのアクセスが競合したときの動作を示すタイミング図である。

【図12】この発明の実施の形態のマイクロプロセッサのアクセスが競合したときの動作を示すタイミング図である。

【図13】この発明の実施の形態のマイクロプロセッサのホールド排他ロックモード時のインターロックアクセスを示すタイミング図である。

【図14】この発明の実施の形態のマイクロプロセッサのチップセレクト排他ロックモード時のインターロックアクセスを示すタイミング図である。

【符号の説明】

100 マイクロプロセッサ、 110 CPU 、 120 DRAM

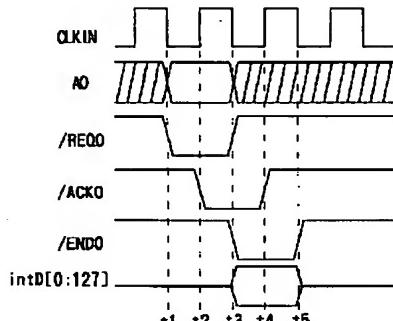
160 メモリコントローラ

200 外部バスコントローラ

300 外部バスマスター

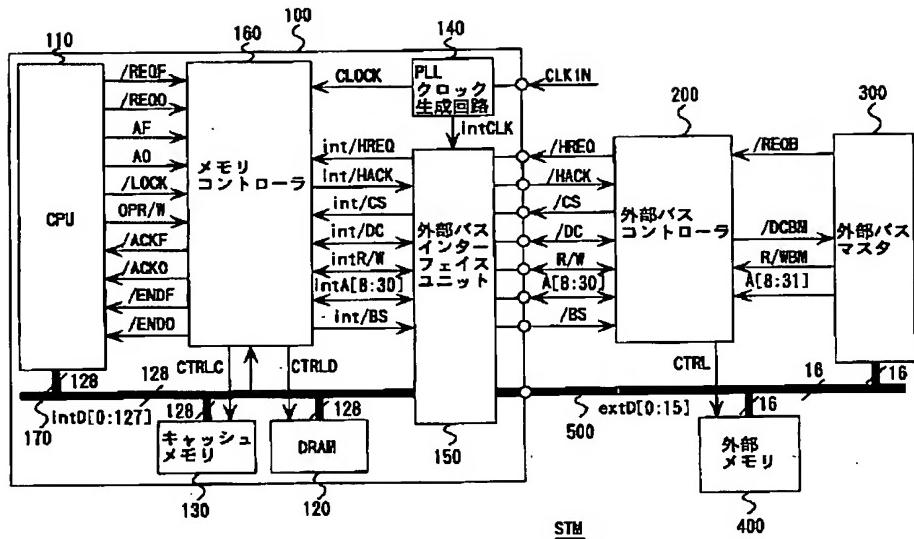
STM コンピュータシステム

【図7】

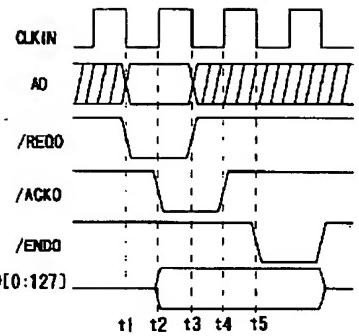


(19)

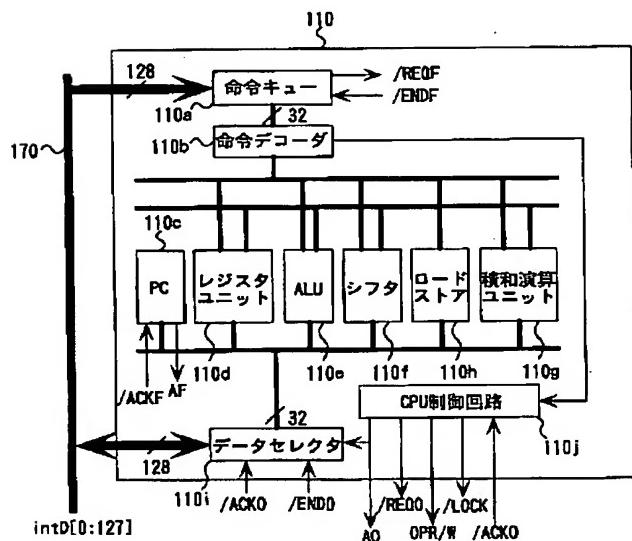
【図1】



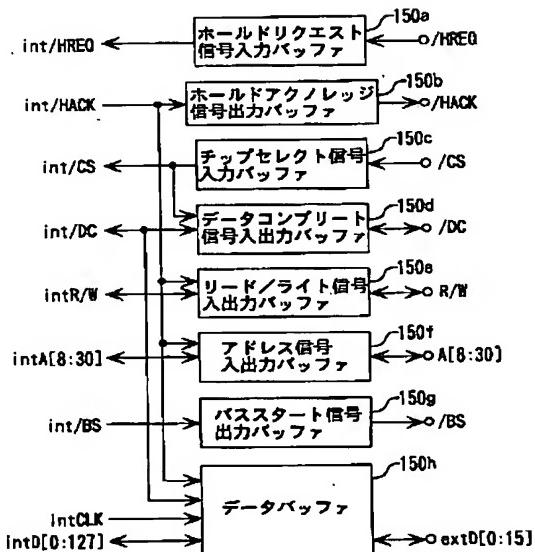
【図8】



(图2)

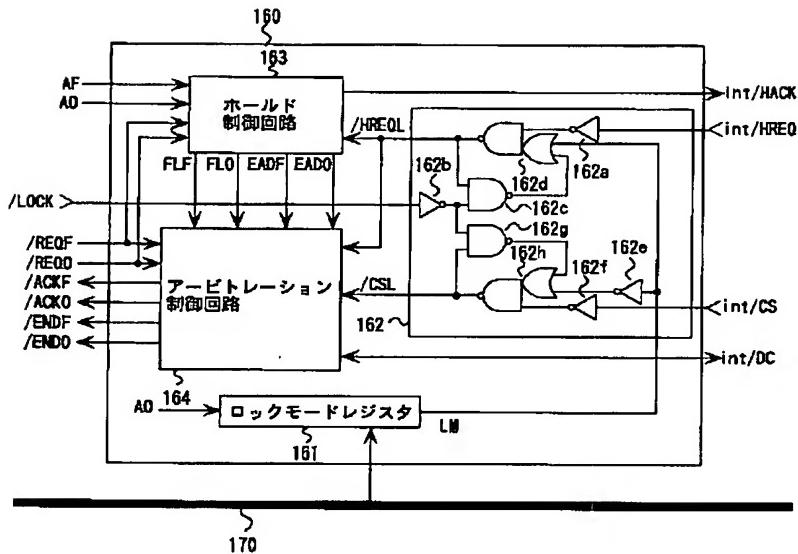


[図3]

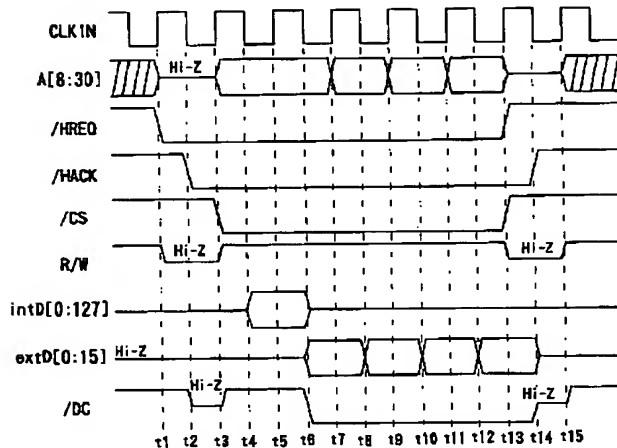


(20)

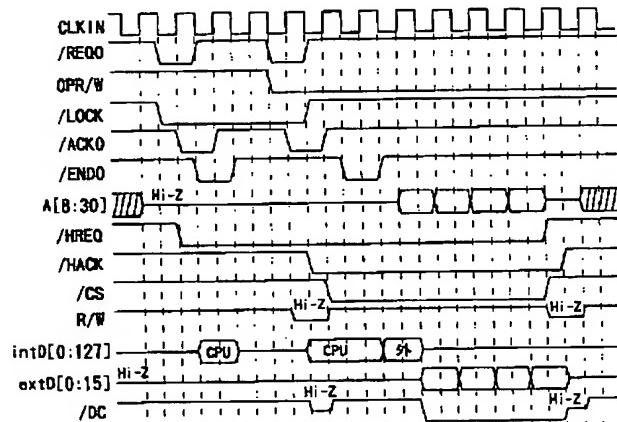
【図4】



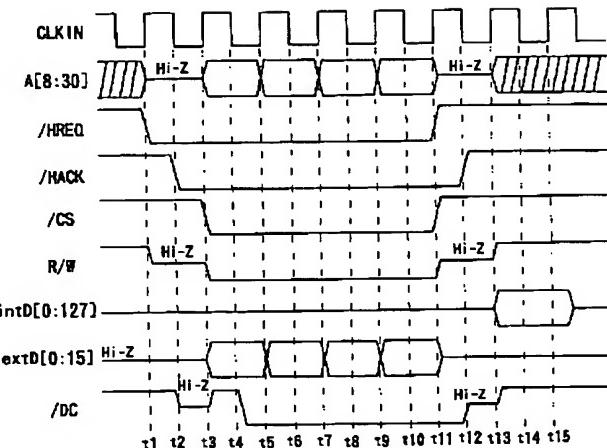
【図9】



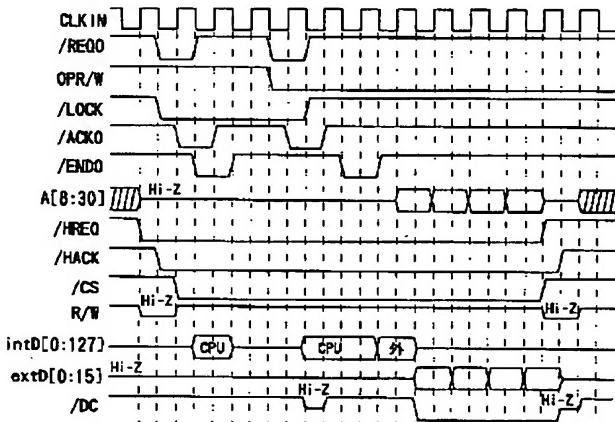
【図13】



【図10】

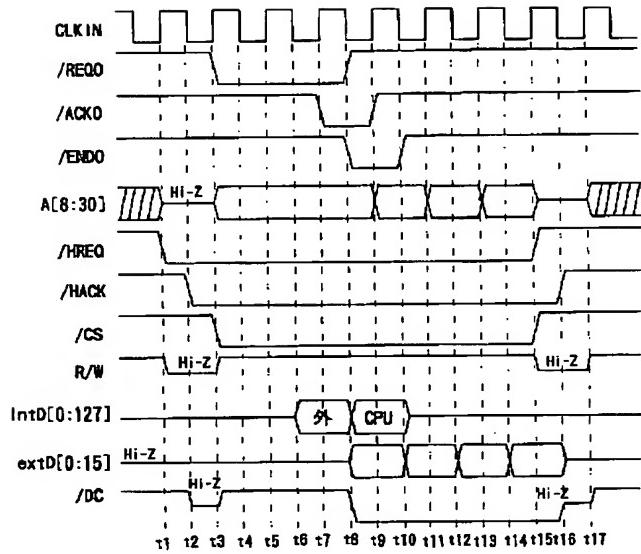


【図14】



(21)

【図11】



【図12】

